

Brian Wang

摘要

在当今的许多高频系统中，通过对器件本身及其所有外围模块进行精确的优化，可以满足重要的规格要求。为了实现最佳结果，透彻了解相关知识并精心设计包含所有这些器件的系统很有必要。在采用射频采样模数转换器 (ADC) 的应用中尤其如此；在此类应用中，采样时钟使用高性能的合成器来生成噪声很大的高频时钟信号。这些合成器需要精心设计以获得理想的积分噪声，该噪声将直接影响 ADC 的信噪比 (SNR) 性能。本应用报告有助于理解这些性能规格，介绍了如何进行过程优化，并提供相关信息以帮助达到卓越性能水平。

内容

1 ADC 信噪比分量	1
2 了解相位噪声和抖动以及 SNR	3
3 超低抖动的	5
4 影响抖动的因素	5
5 参考文献	7
6 相关网站	7
7 修订历史记录	7

商标

所有商标均为其各自所有者的财产。

1 ADC 信噪比分量

ADC 的信噪比 (SNR) 是一项重要规格。此规格的数值较高表示 ADC 可以更好地将所需输入信号与在采样过程中也被捕获的有害噪声区分开。ADC 的 SNR 有三个主要影响因素：ADC 的量化和热噪声（不随输入频率变化）和时钟抖动（取决于频率）。图 1-1 所示示例为 62.5dBFS 的 ADC 热噪声以及时钟的 SNR（具有抖动， $t_{\text{clock_jitter}}$ 为 50fs）。节 2 方程式 1 根据，已知信号频率和抖动即可得出时钟的 SNR（请参阅中的讨论）：

$$\text{SNR}_{\text{clock_jitter}} [\text{dBc}] = -20 \times \log(2 \pi \times F_{\text{input}} \times t_{\text{clock_jitter}}) \quad (1)$$

如图所示，在低输入频率下，ADC 的高 SNR 保持不变，但在高输入频率下，时钟 SNR 开始占主导地位。

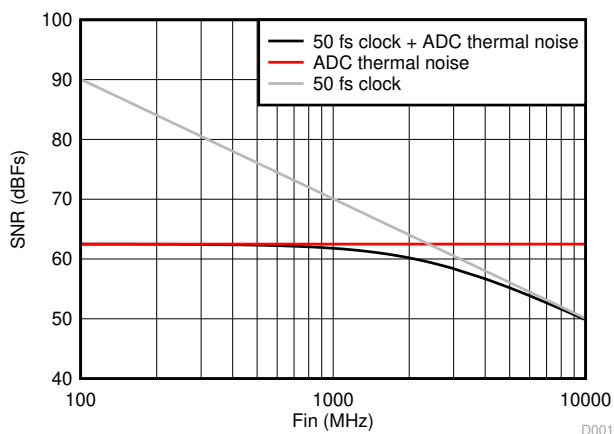


图 1-1. ADC 和时钟抖动对 SNR 的贡献

目前已知 50fs 的时钟抖动对总 SNR 的影响，接下来看看性能较低的时钟（抖动较高）的影响。图 1-2 如所示，时钟抖动越高，在高 ADC 输入频率下，时钟性能对 SNR 降低的影响越大。因此，必须确保时钟抖动尽可能低，并且可以根据高频合成器时钟源的不同参数来调整此规格，以便实现理想的低抖动值。

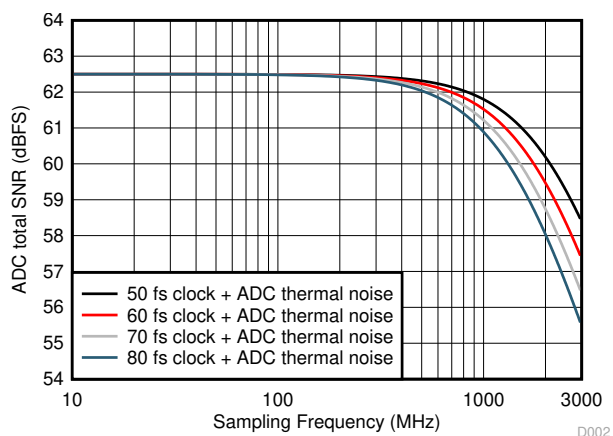
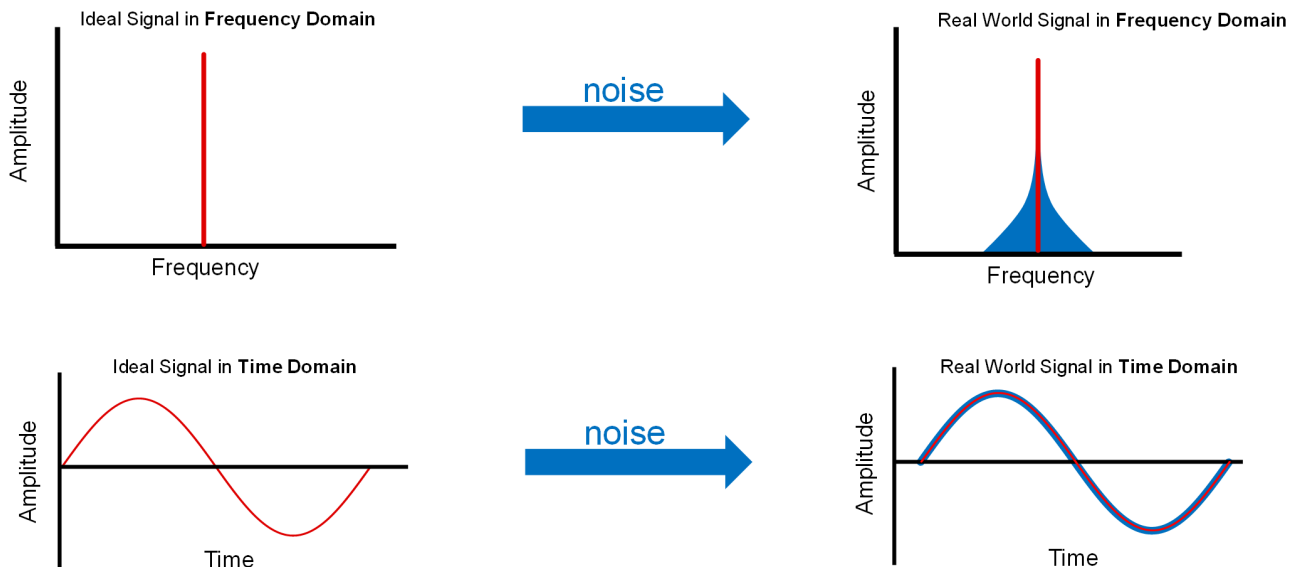


图 1-2. 不同时钟抖动对总 SNR 的影响

2 了解相位噪声和抖动以及 SNR

若要设计和找出超低的抖动，首先需要了解合成器时钟信号的相位噪声。图 2-1 在时域中，理想的正弦波时钟信号看起来就像 左下角的波形。实际上，由于现实生活中频率合成器的器件不完善，因此会产生额外的噪声，从而使波形偏离其理想位置。同样道理，转换为频域的同一直弦波在振荡频率下是单个脉冲。噪声的增加以相位噪声的形式（理想脉冲旁的裙边）出现。节 3 合成器的低相位噪声表明信号更纯净，提供更好的性能，并最终在 ADC 计时中具有较低的抖动（在中讨论）。



1

图 2-1. 频域和时域中的相位噪声

相位噪声 的定义是振荡信号的噪声（相对于振荡信号的偏移频率，带宽为 1Hz）与信号幅度之比。图 2-2 积分噪声本质上是在相对于振荡信号的规定偏移频率范围内的所有相位噪声之和（请参阅）。方程式 2 抖动是使用积分噪声和信号频率从 得出的：

$$t_{\text{jitter}} = \frac{\sqrt{\text{integrated noise}}}{2\pi f} \quad (2)$$

选择的积分范围很重要。这取决于 ADC 的采样设置。底部范围（更接近振荡信号）由 [采样率]/[FFT 大小] 的一半定义。SLYT379 例如，在采样率为 2949.12MHz 且 FFT 大小为 65536 时，积分下降到 22.5kHz（请参阅 SLYT379 以了解更多信息）。因此，积分范围的这一下限越低，在较低偏移处的相位噪声就越重要。

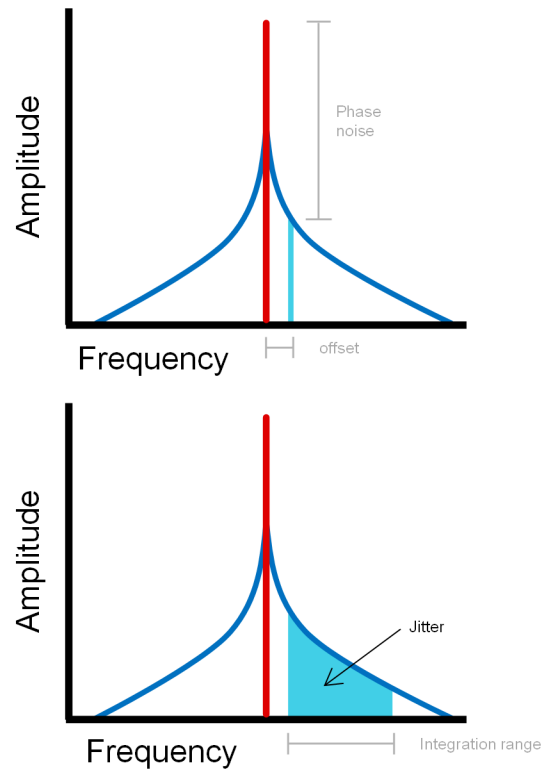


图 2-2. 相位噪声和抖动定义

3 超低抖动的电路设计

现在，我们重点讨论如何在 ADC 时钟源上获得尽可能低的抖动。图 3-1 所示为输出频率为 2949.12MHz 时的相位噪声图。黑线是闭环相位（锁相环）噪声，而红线是开环（自由运行的 VCO）相位噪声。同样，PLL 噪声由闪烁噪声分量（灰线）和平坦的 PLL 本底噪声分量（蓝线）组成。这两条线的总和就是 PLL 噪声。环路带宽（相位噪声开始滚降的地方）大约为 100kHz 偏移。如果该环路带宽很低，则 VCO 噪声会推入到较低的偏移相位噪声中，而如果环路带宽很高，则会将 PLL 相位噪声推入到 VCO 区域中。通常情况下，为了设计具有超低抖动的环路滤波器，PLL 噪声模型与 VCO 相交的位置是理想位点（在本例中为 120kHz 左右）。该环路带宽取决于时钟源的环路滤波器元件，在本例中为射频合成器（集成 PLL + VCO）。

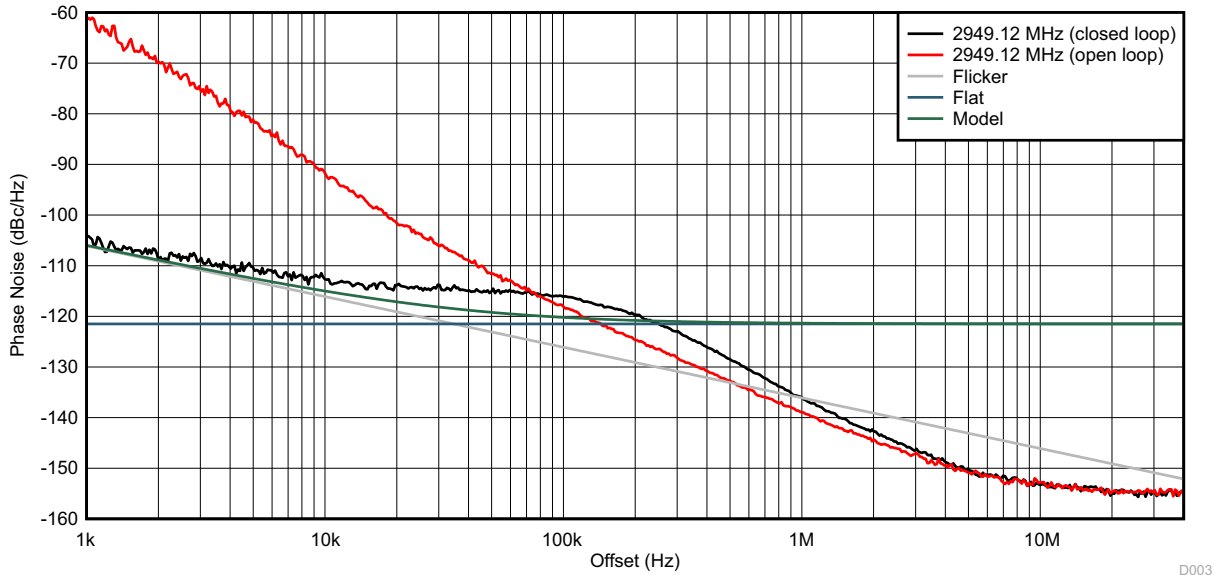


图 3-1. 具有 58fs 抖动的 2949.12MHz 采样时钟

4 影响抖动的因素

合成器的相位噪声主要来自锁相环 (PLL) 和压控振荡器 (VCO)。通过数据表上的一些规格参数可了解能够实现多低的抖动，即标准化 PLL 本底噪声（PLL 品质因数）、标准化 PLL 闪烁噪声（按 10dB/十倍频变化）和 VCO 开环相位噪声相关规格参数。方程式 3 方程式 4 PLL 品质因数和闪烁噪声的计算方式请见和。方程式 3 根据中显示的关系可以看到，将 f_{PD} 加倍，会使 $[20 \times \log]$ 分量减少 6dB，并使 $[10 \times \log]$ 分量增加 3dB，因此总的 PLL 平坦噪声总计减少 3dB。这是改善 PLL 产生的相位噪声的方法之一。

$$\text{PLL Flat Noise} = [\text{PLL Figure of Merit}] + 20 \times \log\left(\frac{f_{VCO}}{f_{PD}}\right) + 10 \times \log(f_{PD}) \quad (3)$$

其中

- f_{PD} 是合成器的相位检测器频率
- f_{VCO} 是压控振荡器频率

$$\text{PLL Flicker Noise (@ } f_{\text{offset}}) = [\text{Normalized PLL Flicker Noise}] + 20 \times \log\left(\frac{f_{VCO}}{1 \text{ GHz}}\right) - 10 \times \log\left(\frac{f_{\text{offset}}}{10 \text{ kHz}}\right) \quad (4)$$

图 4-1 在中，黑线是具有 58fs 抖动的原始相位噪声。但是，如果 PLL 相位噪声更严重（如红线的平坦部分所示），则抖动会上升（在本例中为 78fs）。VCO 相位噪声也有很大的影响。观察灰线可以看到，在本例中已降级的 VCO 相位噪声使抖动增加到了 110fs。通过选择在这两个方面均具有良好性能的器件，然后精心设计合成器的环路滤波器以在环路带宽附近获得出色的相位噪声响应，即可优化最低抖动，为 ADC 提供卓越的 SNR 时钟。

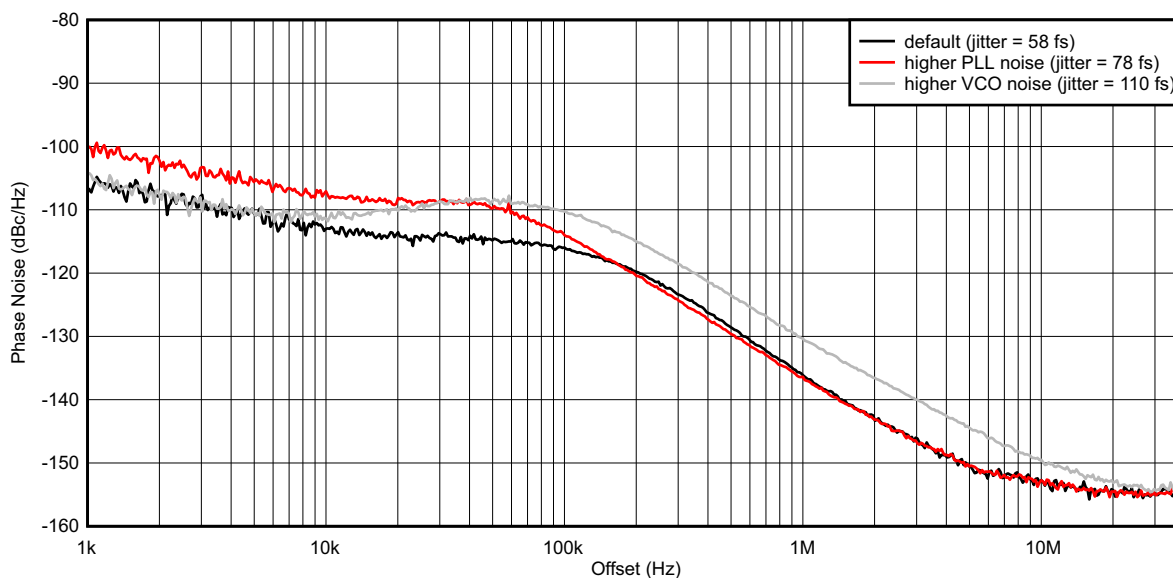


图 4-1. PLL 和 VCO 的相位噪声贡献

D004

还需要考虑改善合成器在信号幅度中的抖动，因为这种抖动会影响本底噪声，进而影响较高偏移引起的抖动。通过 Leeson 方程可以观察到这种行为；其中，本底相位噪声水平随输出功率的变化而变化，其变化幅度为信号源的 $(1/P_s)$ 。图 4-2 在某些时间点，时钟源的本底噪声将占主导地位，并且没有进一步的改善（在中大约为 0dBm）。所设计的时钟源的幅度应至少达到该水平。因此，合成器器件最好具有非常低的本底噪声并支持更高的输出功率以达到该本底噪声水平。正如在较早的抖动积分范围部分中所讨论的，上限范围越高，这种高偏移相位噪声对总体抖动的影响越大。

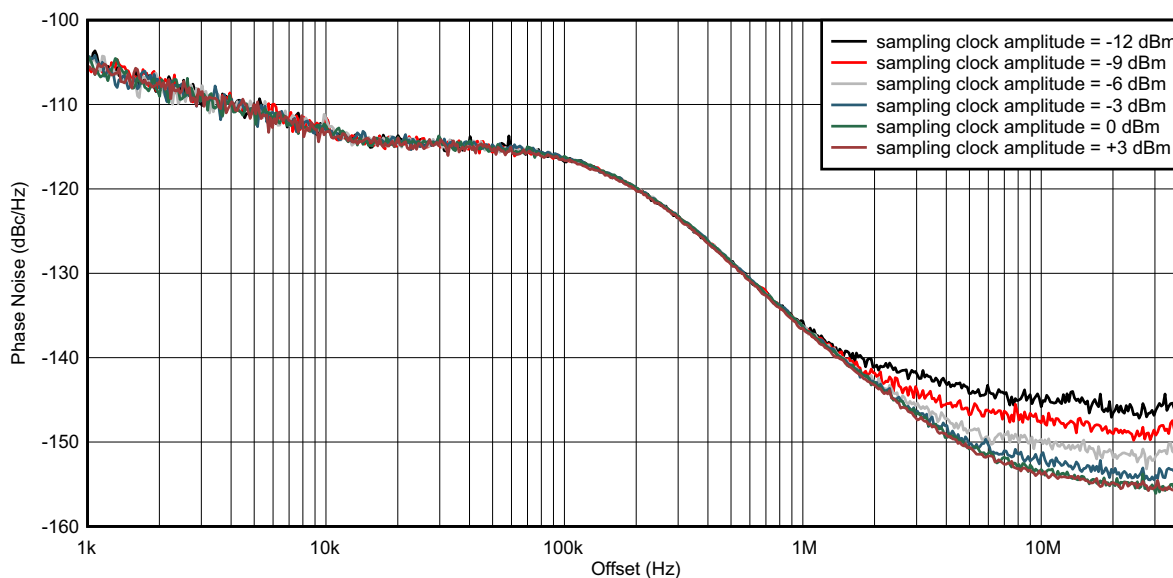


图 4-2. 采样时钟幅度

D005

5 参考文献

- [SNAS680](#) 《具有集成型 VCO 的 LMX2582 高性能宽带 PLLatinum™ 射频合成器》, (SNAS680)
- [SNAS646](#) 《具有集成型 VCO 的 LMX2592 高性能宽带 PLLatinum™ 射频合成器》, (SNAS646)
- 《ADC32RF45 双通道 14 位 3.0GSPS 模数转换器》, (SBAS747)
- [TIDU870](#) 《适用于 GSPS ADC 的理想时钟源设计指南》, (TIDU870)
- 《最大限度提升 GSPS ADC 中的 SFDR 性能: [SLAA617](#) 杂散来源和缓解方法》, (SLAA617)
- [SLYT379](#) 《时域中分析的时钟抖动, 第 1 部分》, (SLYT379)
- [SLYT389](#) 《时域中分析的时钟抖动, 第 2 部分》, (SLYT389)
- [SLYT422](#) 《时域中分析的时钟抖动, 第 3 部分》, (SLYT422)
- 《直接射频转换: 从愿景到现实》, (SLYY068)

6 相关网站

射频锁相环与合成器

- www.ti.com.cn/product/cn/LMX2582
- www.ti.com.cn/product/cn/LMX2592

TI 数据转换器

www.ti.com/sc/device/ADC32RF45

7 修订历史记录

注: 以前版本的页码可能与当前版本的页码不同

Changes from Revision * (May 2016) to Revision A (April 2021)

Page

- 更新了整个文档中的表格、图和交叉参考的编号格式。..... [1](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2022，德州仪器 (TI) 公司