

Application Note

ADC 过采样



Susmitha Bumadi

摘要

C2000™ 实时微控制器提供模数转换器 (ADC)，广泛应用于从控制电机到读取传感器的众多应用。有时客户设计要求的分辨率会高于所选器件的 ADC 分辨率。该应用手册介绍了如何通过加入过采样方式来提高 ADC 分辨率，使其超过当前可实现的位数。这有助于使用分辨率较低的 ADC 对信号进行过采样并获得分辨率较高的结果，从而降低系统构建的成本。提供了详细说明，并已在 TMDSCNCD28P65X 器件上测试了软件过采样和硬件过采样以及器件初始化。

内容

1 引言.....	2
2 原理.....	2
3 软件过采样.....	3
4 硬件过采样.....	7
5 结果.....	12
6 总结.....	18
7 参考资料.....	18
8 修订历史记录.....	18

插图清单

图 3-1. 软件过采样的 SOC 流程图.....	5
图 3-2. 软件过采样中信号采样的时序.....	6
图 3-3. 软件过采样中信号采样的错误时序.....	6
图 4-1. 硬件过采样的 SOC 流程图.....	9
图 4-2. 硬件过采样中信号采样的时序.....	10
图 4-3. 硬件过采样中信号采样的错误时序.....	10
图 4-4. 总体硬件设置.....	11
图 4-5. 接线设置.....	11
图 5-1. 基线软件采样 FFT 图.....	12
图 5-2. 2 倍软件过采样 FFT 图.....	13
图 5-3. 4 倍软件过采样 FFT 图.....	13
图 5-4. 8 倍软件过采样 FFT 图.....	14
图 5-5. 16 倍软件过采样 FFT 图.....	14
图 5-6. 基线硬件采样 FFT 图.....	15
图 5-7. 2 倍硬件过采样 FFT 图.....	16
图 5-8. 4 倍硬件过采样 FFT 图.....	16
图 5-9. 8 倍硬件过采样 FFT 图.....	17
图 5-10. 16 倍硬件过采样 FFT 图.....	17

表格清单

表 2-1. 过采样因子、SNR 和额外分辨率位之间的关系.....	2
表 3-1. 过采样时间.....	7
表 5-1. ADC 软件过采样结果.....	12
表 5-2. ADC 硬件过采样结果.....	15

商标

C2000™ is a trademark of Texas Instruments.

所有商标均为其各自所有者的财产。

1 引言

模数转换器 (ADC) 模块具有离散位数，可用于对模拟信号或分辨率进行数字化。理想的 ADC 会准确地将数字化信号复制到指定的分辨率范围内。然而，在现实世界中，各种电气缺陷和噪声因素会导致实现的信号分辨率低于指定值。当考虑这些缺陷时，实现的信号分辨率被称为有效位数 (即 ENOB)。

ADC 信号过采样是一种技术，能够克服这些固有缺陷并实现比器件基线标称值更高的 ENOB。本应用报告讨论了过采样背后的用途，并提供了过采样示例的以下详细信息：理论、硬件和软件设置以及测量结果。本应用手册中提供的示例使用 TMDSCNCD28P65X 器件和 12 位 ADC 进行软件过采样和硬件过采样。

2 原理

过采样的目标是通过减少在信号中观察到的噪声来增加 ENOB。过采样会对同一输入信号执行多次转换，并累加数字值以获得高于 ADC 固有 ENOB 的 ENOB。结果的精度会提高，具体取决于发生了多少过采样。通过测量变化的输入信号来确定信号的主要频率，可以证明这种精度。理论上，过采样的可能量限制为用于存储转换结果的变量的数据宽度。例如，一个 16 位结果会限制您在 12 位 ADC 上进行 16 倍过采样，最大累计值为 65535。

除了数据大小限制外，过采样量还受 ADC 吞吐量与输入信号基频之间关系的限制，因为每秒过采样转换数不能低于奈奎斯特速率。这还意味着过采样因子受实现系统性能要求所需的控制环路频率的限制。

出现大小限制的原因是过采样会累积结果，这必然需要比原始结果更多的存储器，因为加法可能会溢出。不对累加的值求平均值，因为这会有效地消除所获得的额外精度。因此，平均值计算可保持存储结果的大小和更低的噪声，但这不会显著影响观察到的结果 ENOB。

累积过采样可改善所获得的最终值中的降噪，但如果显著的噪声影响信号，ENOB 不会增加太多。有几个电路板布局布线指南，如果遵循这些指南，则有助于更大限度地减少 ADC 转换模拟信号中的噪声源。其中包括：

- 验证模拟和数字信号之间没有信号交叉
- 具有用于模拟和数字信号的单独层
- 为不与数字信号共享的模拟信号提供专用的接地回路
- 将模拟区域与数字区域隔离

有关 C2000 ADC 良好硬件设计的详细信息，请参阅节 4。

本文档使用快速傅里叶变换 (FFT) 来处理存储在存储器中的过采样 ADC 结果。FFT 图提供了信号噪声和谐波失真的视图，这些失真会影响观察到的主要频率，从而减小 ENOB。这些值通过 FFT 数据进行量化，并用于计算近似的 ENOB 值。为了进行测试，使用从 RAM 导出的 ADC 数据计算 FFT。对 ADC 结果执行 FFT 之前，需要对存储在存储器中的数据进行窗口化，避免在信号中产生伪影。这是因为起始点和结束点并不总是保持一致以形成完整的波形。本应用手册中使用的窗口化函数是 7 项 Blackman-Harris 函数。FPU DSP 库还能够使用窗口操作对存储器中的数据执行快速傅里叶变换。可用的不同窗口化函数可在 SysConfig 中的 FFT 模块中查看，也可在目录 c2000ware_X_XX_XX_XX\libraries\dsp\FPU\c28\include\fp32 中查看，文件标为 fp32_fft_<name>.h。

信号中存在的噪声幅度可使用信噪比 (SNR) 表示，而信号中观察到的谐波可使用总谐波失真 (THD) 表示。采样信号中存在的噪声和谐波会降低结果的 ENOB。表 2-1 所示为 ENOB 理论增幅和 SNR 改进，这些改进可通过各种过采样因子实现。有关该表中数字背后理论的更多数据，请参阅对 MSP ADC 进行一般过采样以提高分辨率。

表 2-1. 过采样因子、SNR 和额外分辨率位之间的关系

过采样因子	SNR 改进 (dB)	额外的位分辨率
2	3	0.5
4	6	1
8	9	1.5
16	12	2
32	16	2.5

表 2-1. 过采样因子、SNR 和额外分辨率位之间的关系 (续)

过采样因子	SNR 改进 (dB)	额外的位分辨率
64	18	3
128	21	3.5
256	24	4
512	27	4.5
1024	30	5
2048	33	5.5
4096	36	6

在本应用手册所示的示例中，使用一个 5kHz 正弦波输入信号来测试从基线到 16 倍的每个过采样因子。FFT 图用于显示此处的结果，因为该图可显示信噪比、谐波失真和采样精度。可以观察到信号中存在的噪声频率为次要峰值，远低于直流和信号频率的峰值。不包括 0 处的峰值（信号的直流分量），最高峰最接近输入信号的频率。相对于基本信号振幅的减小幅度越大，产生的 ENOB 就越高。

3 软件过采样

本应用手册中的示例使用带有 driverlib 的 SysConfig 来配置 ADC、ePWM 和其他外设。在程序代码内，设置 ADC 来更大限度地减少开销，从而在各次转换之间留出更多时间来执行控制循环。对于本应用手册中使用的示例，SOC 配置为具有循环优先级的突发模式，以便在过采样时一起触发 SOC 并进行累加，而不会丢失任何值。中断设置为在最后一个 SOC（用于 F28003x 的 SOC15）到达转换结束时触发。中断会运行相应的 ISR，该 ISR 会存储 ADC 结果，如果启用了过采样，则累加多个 SOC 结果。

ePWM 会触发此处的 SOC，但也可以使用软件触发器和 CPU 计时器触发器。选择触发周期时应小心，使 SOC 采样保持一致，并在控制循环其余部分保持适当的转换时间。一旦突发序列中的最后一个 SOC 发出转换结束信号，ISR 便会执行控制循环。在此示例中，控制循环包含一个简单的累加函数，用于过采样和存储结果。应避免对值求平均，因为这会丢弃结果较低位中包含的信息，进而有效降低测量精度。在触发下一次突发之前，最终结果存储在存储器中。

以下代码是使用突发 ISR 设置进行基线采样的示例：

```
__interrupt void adca1ISR(void)
{
    //
    // Clear the interrupt flag
    //
    ADC_clearInterruptStatus(ADCA_BASE, ADC_INT_NUMBER1);

    //
    // 1x Oversampling
    //
    lv_results[nloops++] = ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER0);

    //
    // Check if overflow has occurred
    //
    if(true == ADC_getInterruptOverflowStatus(ADCA_BASE, ADC_INT_NUMBER1))
    {
        ADC_clearInterruptOverflowStatus(ADCA_BASE, ADC_INT_NUMBER1);
        ADC_clearInterruptStatus(ADCA_BASE, ADC_INT_NUMBER1);
    }

    //
    // Check if all results are stored
    //
    if(nloops >= numBins)
    {
        //
        // Disable ADC interrupt
        //
        ADC_disableInterrupt(myADC0_BASE, ADC_INT_NUMBER1);
        ESTOP0;
    }

    //
    // Acknowledge the interrupt
    //
    Interrupt_clearACKGroup(INTERRUPT_ACK_GROUP1);
}
```

使用 ISR 对信号进行 8 倍过采样的示例如下：

```
__interrupt void adca1ISR(void)
{
    //
    // Clear the interrupt flag
    //
    ADC_clearInterruptStatus(ADCA_BASE, ADC_INT_NUMBER1);

    //
    // Accumulate 8 ADC results to oversample 8X
    //
    lv_results[nloops++] = (ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER0) +
        ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER1) +
        ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER2) +
        ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER3) +
        ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER4) +
        ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER5) +
        ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER6) +
        ADC_readResult(myADC0_RESULT_BASE, ADC_SOC_NUMBER7));

    //
    // Check if overflow has occurred
    //
    if(true == ADC_getInterruptOverflowStatus(ADCA_BASE, ADC_INT_NUMBER1))
    {
        ADC_clearInterruptOverflowStatus(ADCA_BASE, ADC_INT_NUMBER1);
        ADC_clearInterruptStatus(ADCA_BASE, ADC_INT_NUMBER1);
    }

    //
    // Acknowledge the interrupt
    //
    Interrupt_clearACKGroup(INTERRUPT_ACK_GROUP1);
}
```

存储了预期数量的结果之后，即可禁用相应的中断，否则 ADC 可以继续转换模拟信号。图 3-1 展示了使用 ePWM 触发突发转换来进行过采样的基本流程。

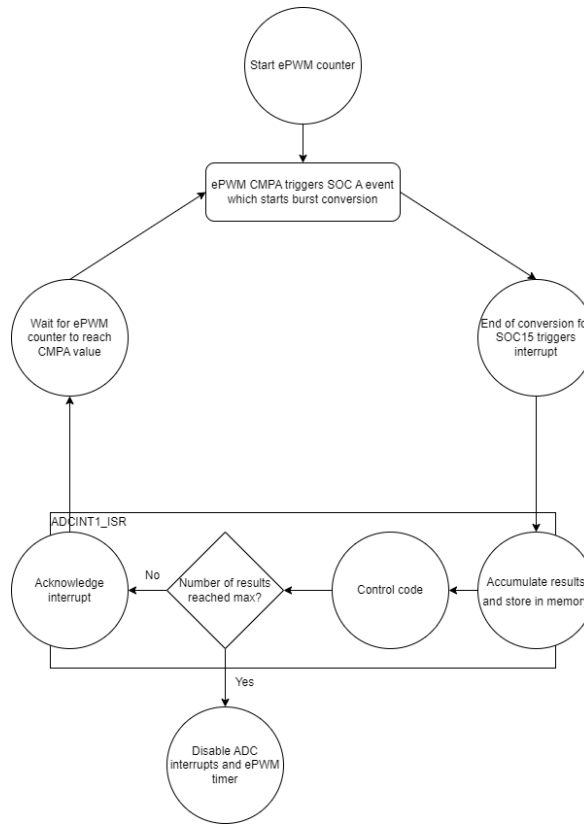


图 3-1. 软件过采样的 SOC 流程图

根据特定应用的控制循环，可能需要比 ADC 的最大采样率所允许的时间更长的时间。要解决此问题，请增加 ePWM 时基以允许更长的转换时间，从而为控制循环提供更多完成时间。这降低了可正确测量的最大频率，因为 ADC 不会经常触发。

输入频率会影响可使用的过采样因子。对于频率更高或需要以更高速率进行采样的信号，由于所需的软件开销，需要使用更低的过采样因子。为了确定不大可能丢失数据的最大输入频率，需要控制循环和过采样所需的周期数。控制循环周期计数包括任何用户相关操作（例如 ISR 处理）或每次获取新样本时需要执行的处理。图 3-2 展示了对信号进行采样时这些时序发挥作用的地方。在此图中，过采样和控制循环时间包括用于中断延迟和 ISR 执行的系统时钟周期。请注意，控制循环结束到下一个 ADC 触发器到达之间存在一些缓冲时间，因此处理不会阻止触发发生，数据也不会丢失。图 3-3 显示，当转换、过采样和控制循环的总时间超过突发触发周期时，数据丢失了。解决此问题的方法是延长周期，在本示例中，需要延长 ePWM 时基才能进一步移动触发器。

表 3-1 展示了本应用手册中使用的过采样的时序，其中包括从 ADC 寄存器读取结果的时间（必要时累加值）以及将结果存储在 RAM 中的时间。此表的计时仅是在 --opt_for_speed = 5 下得出的，用于实现优化，因此计时不一定是可实现的最小值。有关如何提高程序速度的更多详细信息，请参阅 C2000 C28x 优化指南。

如果控制循环时序未知，简单的 GPIO 切换就足够准确，可以确定该循环的周期。使用以下功能将 SOC 事件触发器路由到相应的外部引脚。这可用于验证事件是否正确触发，以及 ISR 是否有足够的时间在突发再次触发之前运行。

```
SysCtl_enableExtADCSource(SYSCTL_ADCSOC_SRC_PWM1SOCA)
```

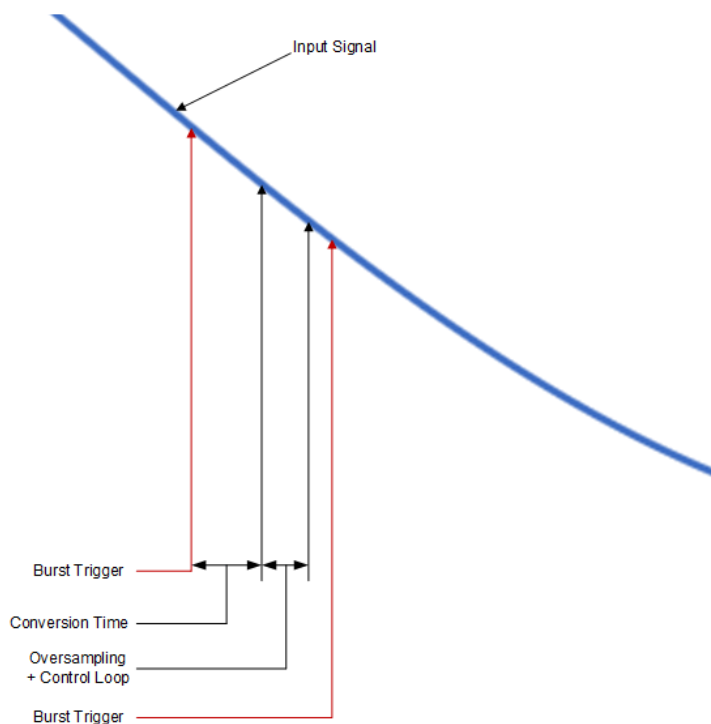


图 3-2. 软件过采样中信号采样的时序

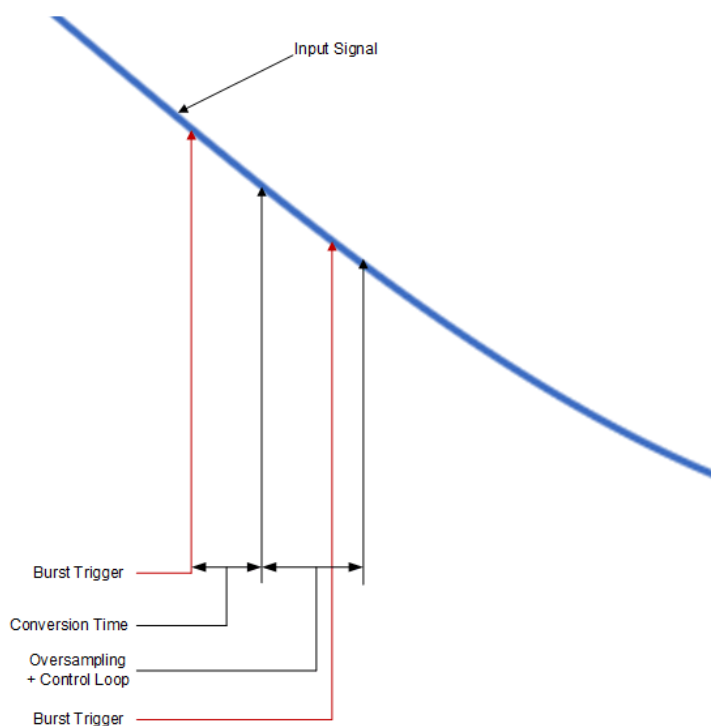


图 3-3. 软件过采样中信号采样的错误时序

表 3-1. 过采样时间

过采样因子	过采样时间 (时钟周期)
1 ×	9
2 ×	52
4 ×	127
8 ×	272
16 ×	551

以中断服务例程 (ISR) 中的控制循环为例，该循环大约需要 300 个周期来运行。使用 ISR 以 16 倍过采样测量正弦波需要 851 个周期。如果正弦波为 5kHz，根据奈奎斯特定理，最小采样率至少为 10kSPS (千个样本每秒)。TMS320F28P65X 实时微控制器技术参考手册 ADC 时序图一章中的表展示了 t_{LAT} 如何随 ADC 时钟预分频值的增大而增加。SYSCLK 是系统时钟频率。TMDSCNCD28P65X 默认为 200MHz。对于 TMDSCNCD28P65X 上的 57MHz ADC 时钟，时钟预分频器将 SYSCLK 除以 3.5， t_{LAT} 的值为 39 个 SYSCLK 周期。 F_{Sample} 是特定应用所需的每秒样本数，此处为 10kSPS。

$$ACQPS_{MAX} = \frac{SYSCLK}{F_{Sample}} - t_{LAT} - 1 \quad (1)$$

$$Cycles_{Sample} = t_{LAT} + ACQPS + 1 \quad (2)$$

$$Maximum\ Input\ Frequency = \frac{SYSCLK}{2 \times (Cycles_{Sample} + Cycles_{Control\ Loop} + Cycles_{Oversample})} \quad (3)$$

在此示例中，根据上述公式，最大采集窗口大小 (ACQPS) 为 19960。该值非常大，只是因为采样率没有非常高的要求。由于 ACQPS 由输入网络决定，因此具有最大 ACQPS 值非常重要，以便有足够的时间对输入进行采样而不丢失重要数据点。有关计算 ACQPS 值的更多信息，请参阅 TMS320F28P65x 实时微控制器技术参考手册中 ADC 一章的选择采集窗口持续时间部分。

4 硬件过采样

为了测试 ADC 过采样，使用了 TMDSCNCD28P65X controlCARD 将输入正弦波转换为数字值。请参阅 TMDSCNCD28P65X controlCARD 信息指南 来为 controlCARD 配置基准电压 VREF 和 JTAG。为了使设置简单，同时减少可能的误差源，使用了内部 1.65V 基准。如果使用外部 VREF，则必须采取额外的步骤。有关 VREF 的更多信息，请参阅 TMS320F28P650DK 实时微控制器技术参考手册 ADC 一章中的电压基准一节。

如果配置得当，用于 ADC 采样的硬件可以降低环境和信号噪声。在评估过采样性能时，设备可能是噪声源。使用具有高分辨率的信号源，并遵循降低系统噪声的做法进行验证设置。对于本应用手册，使用 Agilent AG33522A 任意波形发生器 (AWG) 作为信号源。通常，分辨率高于 ADC 的信号源会产生更优结果。为了减少获得的 ENOB 值可能出现的偏差，请遵循模拟电路的优秀布局实践。ADC 输入调节也在提高 ADC 的精度方面发挥着作用。有关输入调节的详细信息，请参阅 C2000™ MCU 的 ADC 输入评估。有关 PCB 布局设计建议，请参阅 F2800x C2000™ 实时 MCU 系列的硬件设计指南 应用手册。

在用于硬件过采样的示例中，包含配置 ADC、ePWM 和其他外设的主代码。

对于硬件过采样，SOC 配置有触发中继器，可根据需要生成许多重复脉冲。在此示例中，使用 ePWM 脉冲触发 SOC，结果会累积到累加器中，在过采样时不会丢失值。设置过采样中断，以便在达到中继器计数时触发。中断会运行相应的 ISR，该 ISR 会存储 ADC 结果，如果启用了过采样，则累加结果。

使用触发器中继器的过采样示例 展示了使用触发器中继器进行过采样的示例代码。

使用触发器中继器的过采样示例

```
// adcA1ISR - ADC A Interrupt 1 ISR
//
__interrupt void adcA1ISR(void)
{
    //
```

```

// Store the results for A0
//
// myADC0Result = ADC_readResult(ADCARESULT_BASE, ADC_SOC_NUMBER0);

//
// Store the 4 oversampled A0 results together
//

lv_results[nloops++] = (uint16_t)ADC_readPPBSum(ADCARESULT_BASE, ADC_PPB_NUMBER1);

// Clear the interrupt flag
//
ADC_clearInterruptStatus(myADC0_BASE, ADC_INT_NUMBER1);

//
// Check if overflow has occurred
//
if(true == ADC_getInterruptOverflowStatus(myADC0_BASE, ADC_INT_NUMBER1))
{
    ADC_clearInterruptOverflowStatus(myADC0_BASE, ADC_INT_NUMBER1);
    ADC_clearInterruptStatus(myADC0_BASE, ADC_INT_NUMBER1);
}

//
// Acknowledge the interrupt
//
Interrupt_clearACKGroup(INT_myADC0_1_INTERRUPT_ACK_GROUP);
if(nloops >= numBins)
{
    //
    // Disable ADC interrupt
    //
    ADC_disableInterrupt(myADC0_BASE, ADC_INT_NUMBER1);
    ESTOP0;
}
}

```

存储了预期数量的结果之后，即可禁用相应的中断，否则 ADC 可以继续转换模拟信号。图 4-1 展示了使用 ePWM 触发中继器进行过采样的基本流程。

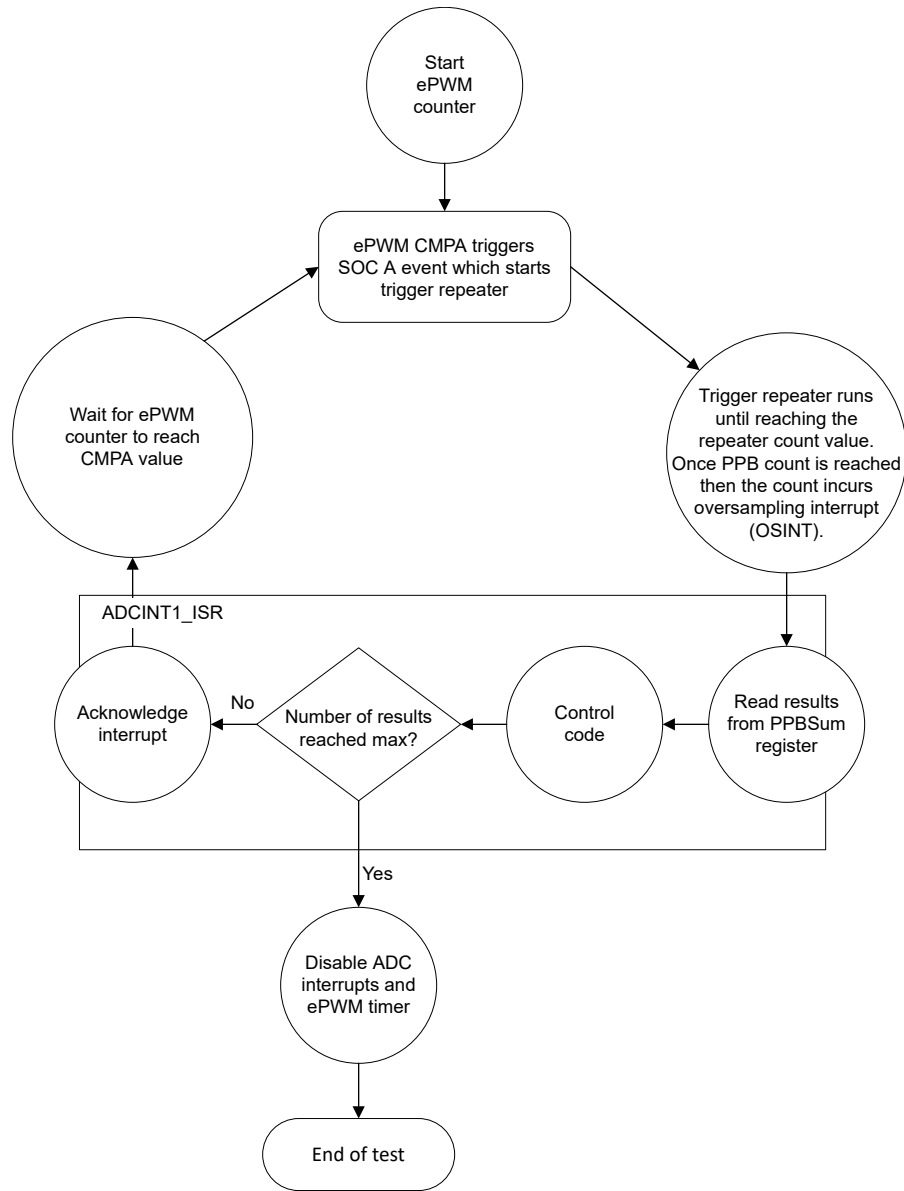


图 4-1. 硬件过采样的 SOC 流程图

一种很好的设计做法是增加 ePWM 时基以允许更长的转换时间，从而为控制循环提供更多完成时间。这降低了可正确测量的最大频率，因为 ADC 不会经常触发。

输入频率会影响可使用的过采样因子。对于频率更高或需要以更高速率进行采样的信号，由于所需的软件开销，需要使用更低的过采样因子。为了确定不大可能丢失数据的最大输入频率，需要控制循环和过采样所需的周期数。周期计数包括任何用户相关操作（例如 ISR 处理）或每次获取新样本时需要执行的处理。图 4-2 展示了对信号进行采样时这些时序发挥作用的地方。在此图中，过采样和控制循环时间包括用于中断延迟和 ISR 执行的系统时钟周期。请注意，控制循环结束到下一个 ADC 触发器到达之间存在一些缓冲时间，因此处理不会阻止触发发生，数据也不会丢失。图 4-3 显示，当转换、过采样和控制循环的总时间超过 ePWM 周期时，丢失了数据。解决此问题的方法是延长周期，在本示例中，需要延长 ePWM 时基才能进一步移动触发器。

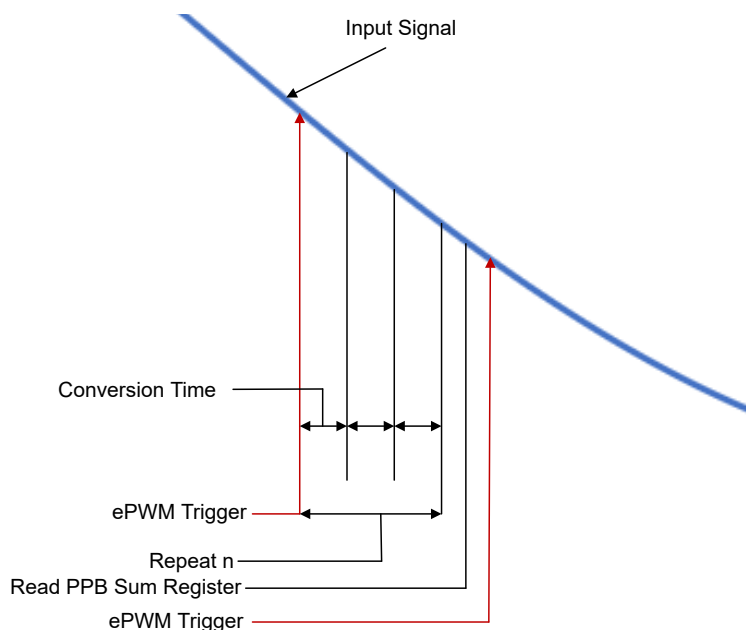


图 4-2. 硬件过采样中信号采样的时序

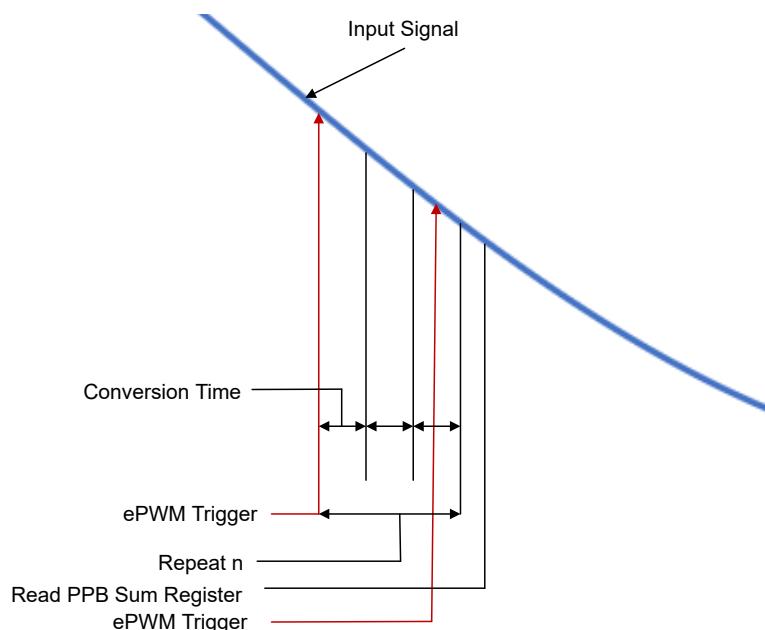


图 4-3. 硬件过采样中信号采样的错误时序

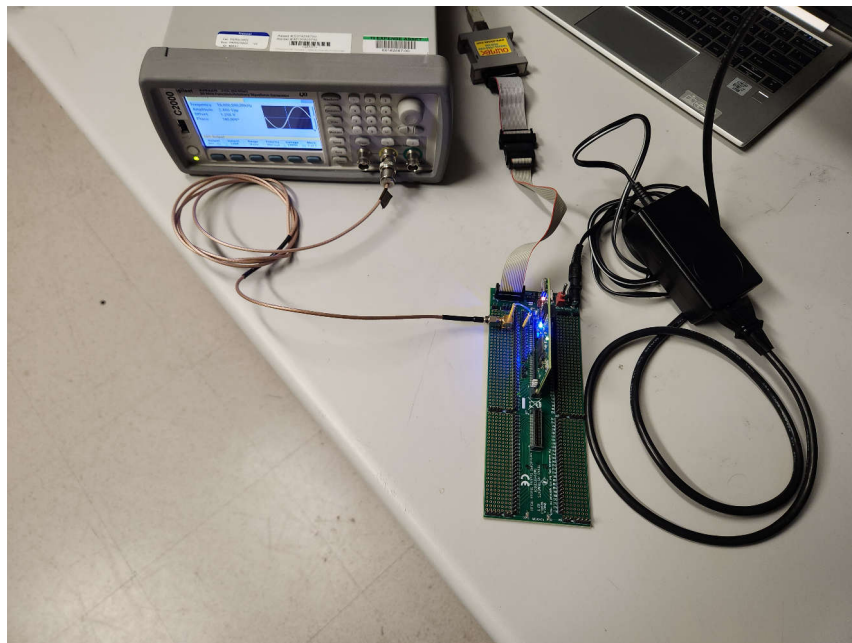


图 4-4. 总体硬件设置

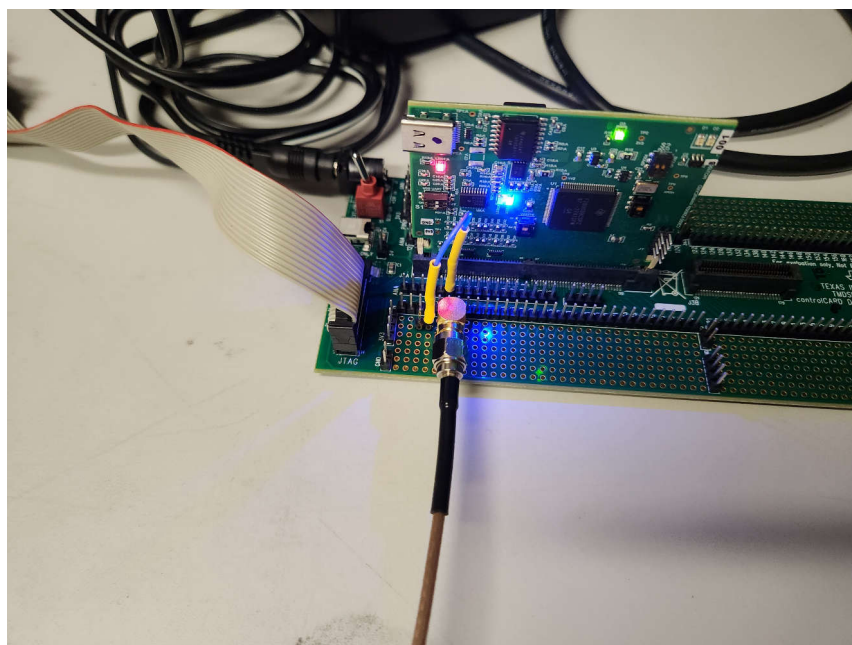


图 4-5. 接线设置

5 结果

表 5-1 展示了 ADC 软件过采样的结果。该数据的基线 ENOB 明显低于器件数据手册中提供的值，因为该示例使用的设置已简化，未缓冲 ADC 的输入、使用可靠的外部电压基准或通过其他方式进行优化以降低系统中的噪声。总的来说，ENOB 增加了大约 1.56，接近理论上的分辨率增加量。这表明，可以在不更改硬件和不增加物料清单成本的情况下提高 ADC 的精度。随着过采样的增加，对 ADC 进行采样所需的时间也会增加。这可能会导致收益递减，具体取决于系统其余部分内对时间敏感的活动的情况。有关该信号的更多详细信息，请参阅表 3-1。

表 5-1. ADC 软件过采样结果

过采样因子	ENOB	THD	SNR	FFT 结果
1 ×	11.17	-79.17	69.02	图 5-1
2 ×	11.58	-78.65	71.52	图 5-2
4 ×	11.96	-79.19	73.76	图 5-3
8 ×	12.34	-78.87	76.04	图 5-4
16 ×	12.77	-79.78	78.65	图 5-5

图 5-1 至图 5-5 展示了每个过采样因子的 FFT 图。

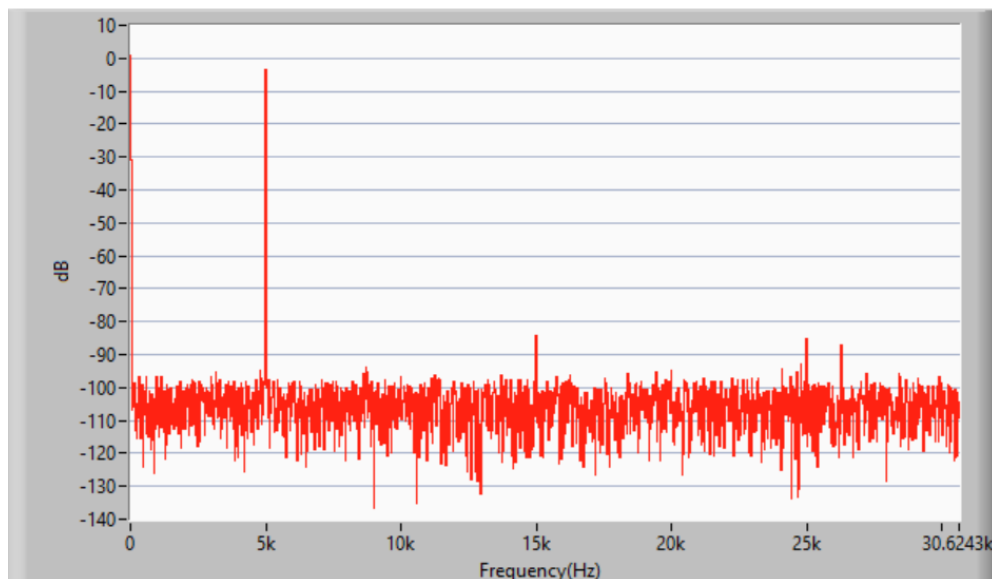


图 5-1. 基线软件采样 FFT 图

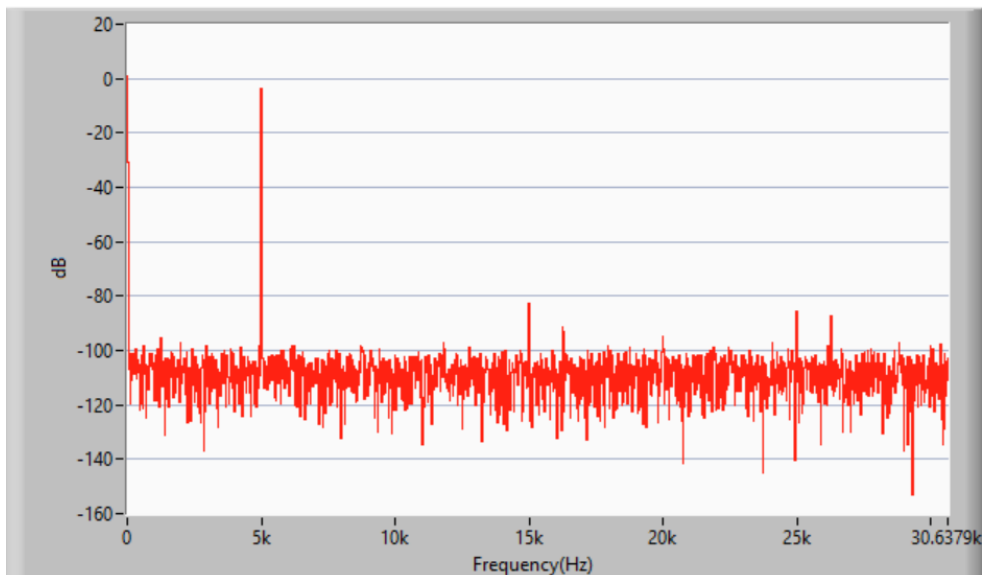


图 5-2. 2 倍软件过采样 FFT 图

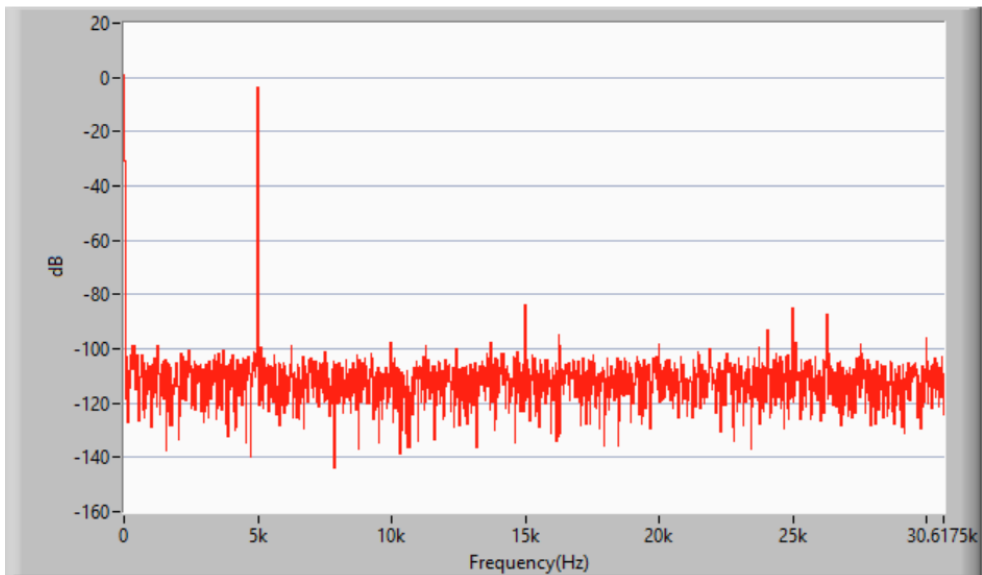


图 5-3. 4 倍软件过采样 FFT 图

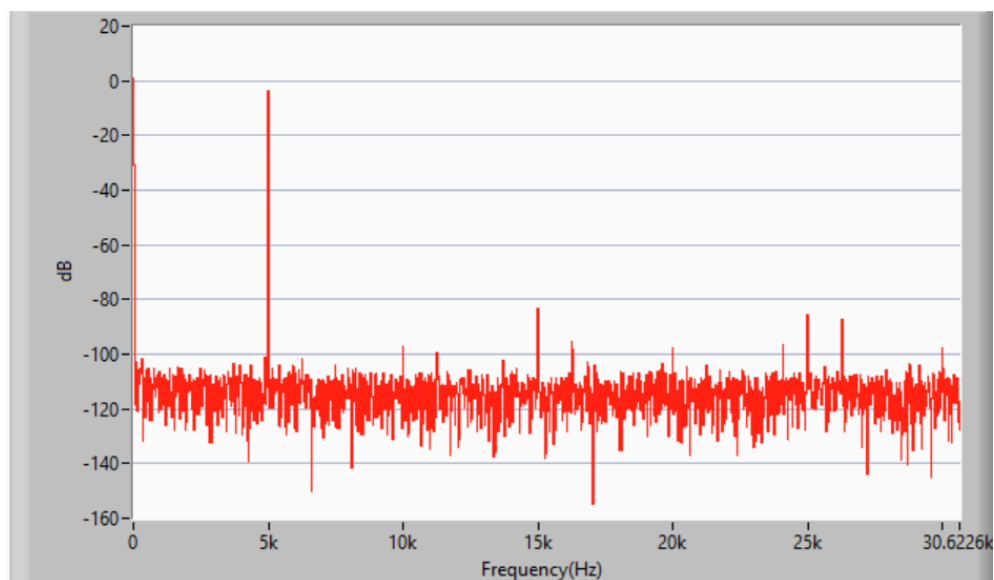


图 5-4. 8 倍软件过采样 FFT 图

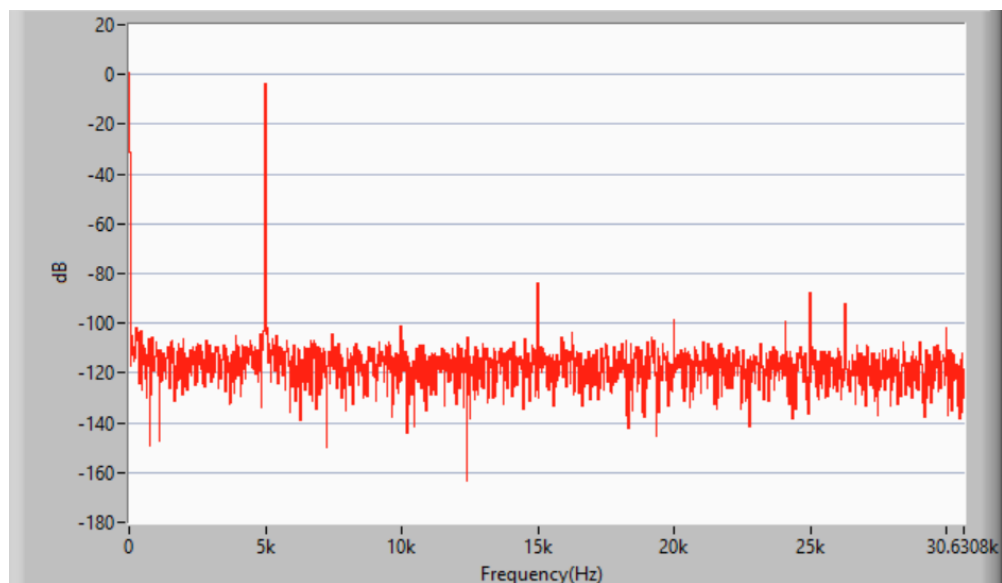


图 5-5. 16 倍软件过采样 FFT 图

表 5-2 展示了 ADC 硬件过采样的结果。

表 5-2. ADC 硬件过采样结果

过采样因子	ENOB	THD	SNR	FFT 结果
1 ×	11.21	-86.79	69.23	图 5-6
2 ×	11.60	-87.52	71.58	图 5-7
4 ×	12.12	-89.99	74.72	图 5-8
8 ×	12.49	-89.37	76.97	图 5-9
16 ×	12.85	-89.50	79.10	图 5-10

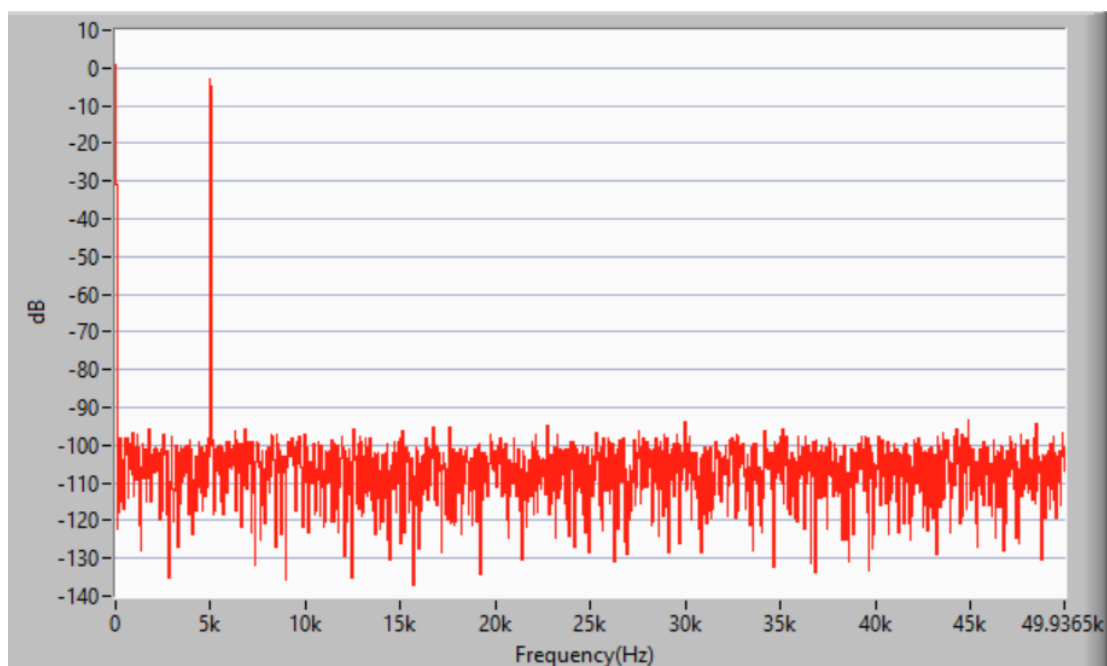


图 5-6. 基线硬件采样 FFT 图

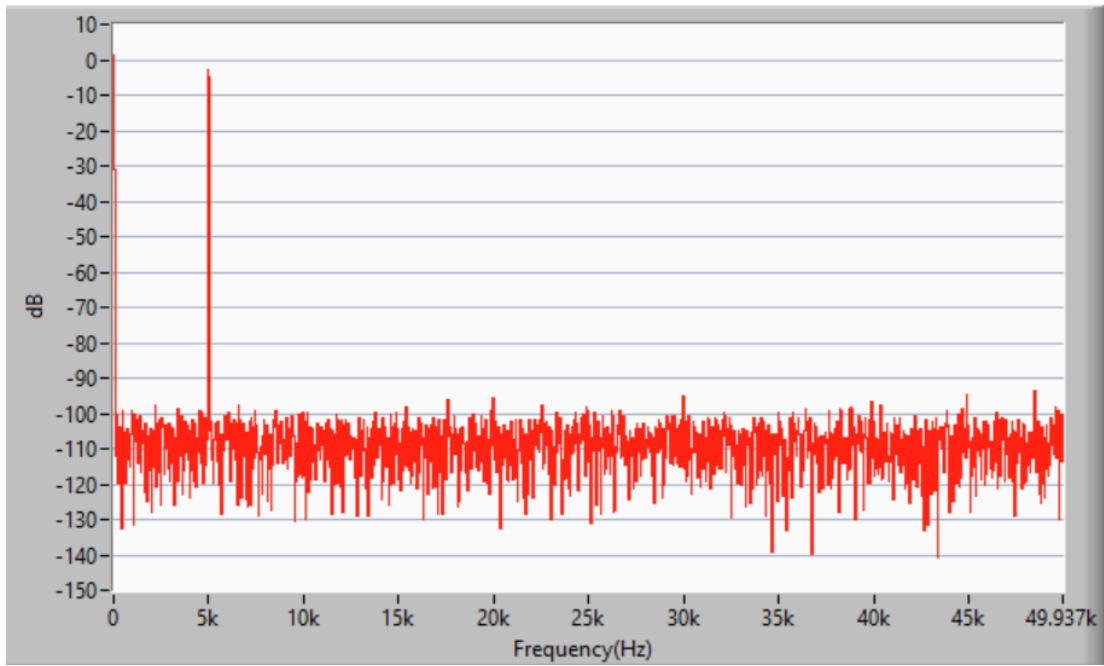


图 5-7. 2 倍硬件过采样 FFT 图

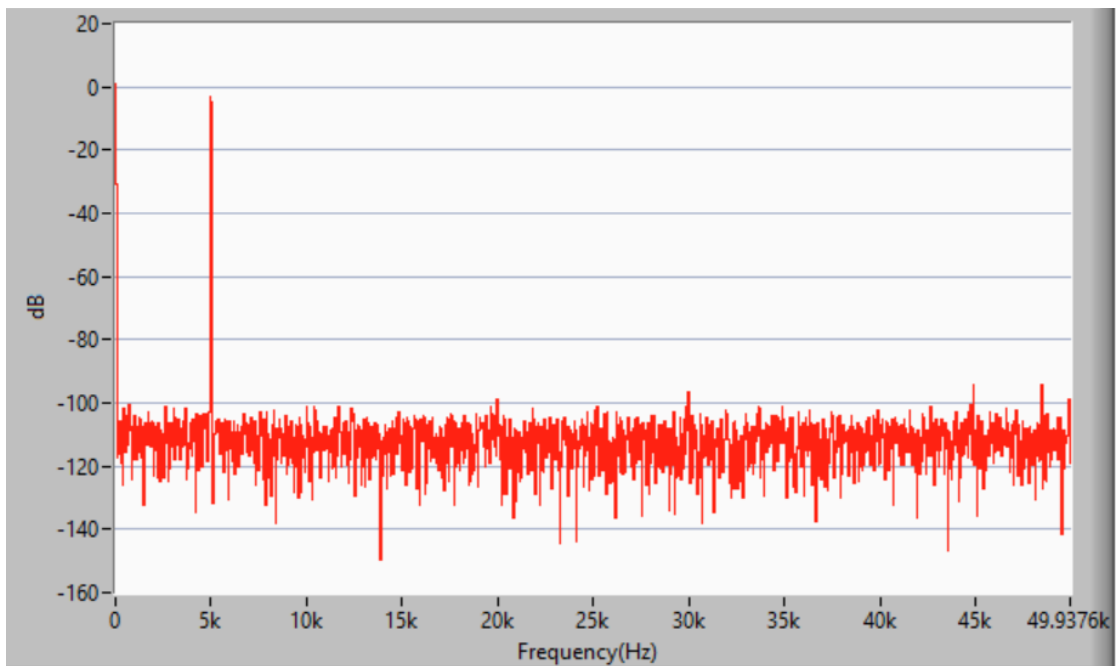


图 5-8. 4 倍硬件过采样 FFT 图

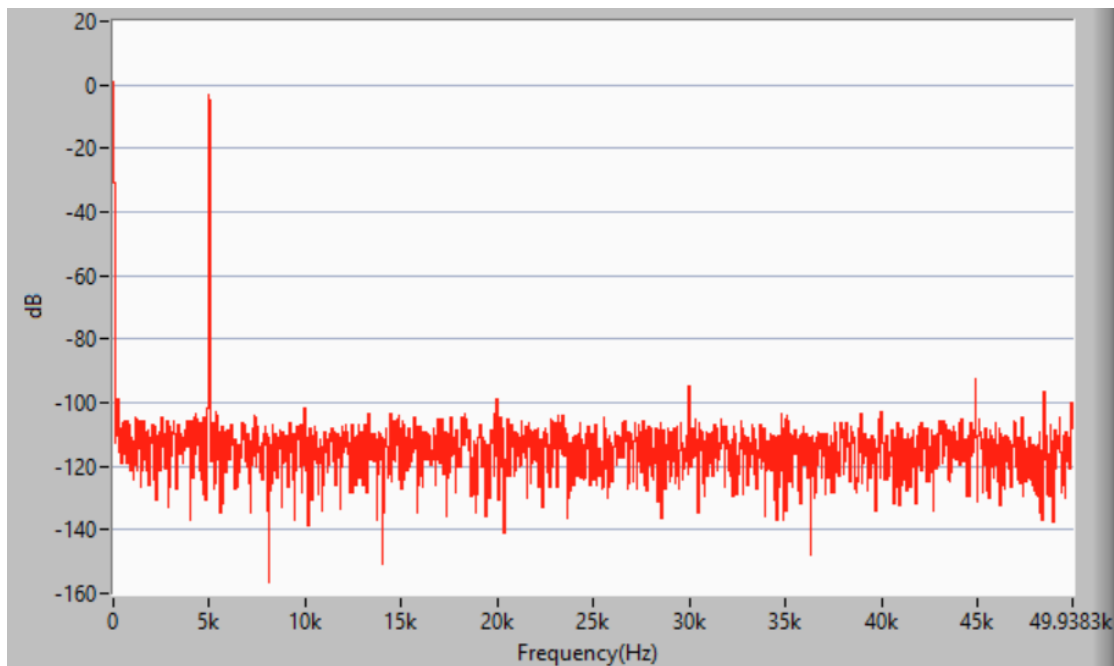


图 5-9. 8 倍硬件过采样 FFT 图

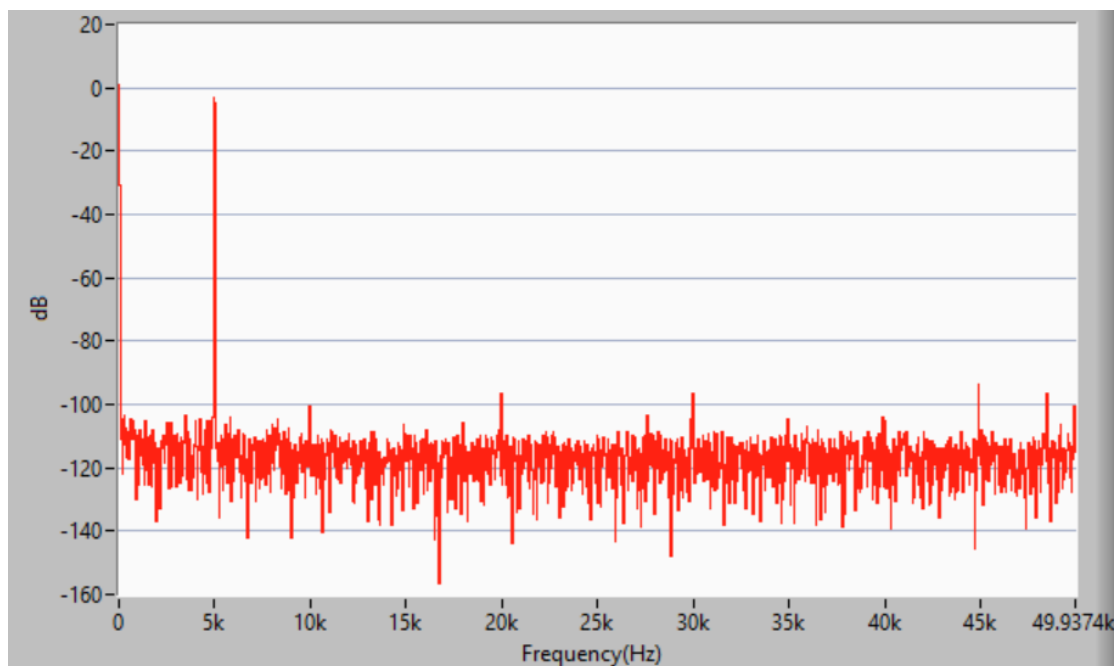


图 5-10. 16 倍硬件过采样 FFT 图

6 总结

本应用手册介绍了使用软件和硬件方法对 ADC 进行过采样的影响，以及过采样如何增加有效位数 (ENOB)。每次过采样因子加倍时，理论 ENOB 都会增加 0.5。由于系统噪声限制，观察到的 ENOB 增幅稍低。通过在 ADC 输入端添加缓冲器并使用外部 VREF 源，可以进一步改善这一点。过采样会降低单个样本的读取速率，因为过采样会在控制环路内花费额外的时间。根据过采样因子，从 ADC 收集结果的时间也会增加。

7 参考资料

- 德州仪器 (TI) : [对 MSP ADC 进行一般过采样以提高分辨率](#)
- 德州仪器 (TI) : [C2000™ MCU 的 ADC 输入评估](#)
- 德州仪器 (TI) : [F2800x C2000™ 实时 MCU 系列硬件设计指南](#)
- [C2000 C28x 优化指南](#)
- 德州仪器 (TI) : [TMS320F28003x 实时微控制器技术参考手册](#)
- [C2000 MCU 的 ADC 输入电路评估 \(TINA-TI\) 应用报告](#)
- [C2000 Academy - ADC](#)
- [PSpice for TI 设计和仿真工具](#)
- [实时控制参考指南](#)
 - 请参阅 ADC 部分
- [TI 高精度实验室 - ADC](#)
- [TI 高精度实验室：驱动 SAR ADC 上的基准输入 \(视频 \)](#)
- [TI 高精度实验室：模数转换器 \(ADC\) 简介 \(视频 \)](#)
- [TI 高精度实验室：SAR ADC 输入驱动器设计 \(视频 \)](#)
- [TI e2e：将 VDDA 连接到 VREFHI](#)
- [TI e2e：ADC 输入保护的拓扑](#)
- [TI e2e：采样时 ADC 输入电压为什么会下降？](#)
 - 使用 ADC 对高阻抗分压器进行采样
- [了解数据转换器应用报告](#)

8 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision * (March 2023) to Revision A (August 2024)	Page
• 向 节 4 中添加了流程图、代码示例和附加信息。.....	7
• 更改了文档以显示硬件过采样数据.....	12

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2024，德州仪器 (TI) 公司