

C2000 实时 MCU 的 ADC 输入电路评估 (使用 PSPICE-FOR-TI)



James Kennedy and Devin Cottier

摘要

模数转换器 (ADC) 是一个关键模块, 用于在实时控制应用中检测反馈信号和监测信号。但是, 如果不仔细设计和评估驱动 ADC 输入的电路, 可能会出现明显的采样保持电路 (S+H) 建立误差, 导致 ADC 检测性能不佳, 从而导致系统性能不佳。本应用报告将介绍可用于了解 ADC 输入建立和设计合适 ADC 驱动电路的资源, 以及如何在 [TMS320F2837xD](#)、[TMS320F2837xS](#)、[TMS320F2838xD](#)、[TMS320F2838xS](#)、[TMS320F2807x](#)、[TMS320F28004x](#)、[TMS320F28002x](#)、[TMS320F28003x](#)、[TMS320F280013x](#) 和 [TMS320F280015x](#) 系列微控制器的特定上下文中评估这些资源。

本应用报告中论述的工程配套资料和源代码可从以下 URL 下载: <http://www.ti.com/cn/lit/zip/spracy9>。本应用报告使用 PSpice for TI 设计和仿真工具。[C2000 MCU 的 ADC 输入电路评估 \(TINA-TI\)](#) 介绍了相同的内容, 但使用的是 TINA-TI 基于 SPICE 的模拟仿真程序。

内容

1 引言.....	3
1.1 ADC 输入建立的机制.....	3
1.2 建立不适当的症状.....	3
1.3 资源.....	5
2 输入建立设计步骤.....	8
2.1 选择 ADC.....	9
2.2 查找最小运算放大器带宽和 RC 滤波器范围.....	9
2.3 选择运算放大器.....	12
2.4 验证运算放大器模型.....	12
2.5 构建 ADC 输入模型.....	13
2.6 通过仿真优化 RC 滤波器值.....	16
2.7 执行最终仿真.....	16
2.8 输入设计工作表.....	16
3 电路设计示例.....	17
3.1 选择 ADC.....	17
3.2 查找最小运算放大器带宽和 RC 滤波器范围.....	17
3.3 验证运算放大器模型.....	18
3.4 构建 ADC 输入模型.....	18
3.5 用于确定 V_{oa_ss} 的偏置点分析.....	20
3.6 确定 V_{oa_ss} 的瞬态分析.....	22
3.7 执行初始瞬态分析.....	23
3.8 优化 RC 滤波器值的迭代方法.....	24
3.9 执行最终瞬态分析.....	26
3.10 执行最终瞬态分析.....	29
3.11 进一步改进.....	29
3.12 进一步仿真.....	30
3.13 已完成的工作表.....	30
4 使用现有电路或额外限制.....	31
4.1 现有电路.....	31
4.2 预选运算放大器.....	33

4.3 预选 R_s 和 C_s 值.....	34
5 总结.....	34
6 参考文献.....	34

插图清单

图 1-1. ADC S+H 电容器的建立.....	3
图 1-2. 两次转换之间保持 C_H 的采样序列.....	4
图 1-3. 两次转换之间 C_H 放电的采样序列.....	4
图 1-4. 多路复用采样序列.....	5
图 2-1. 模拟工程师计算器屏幕截图.....	10
图 2-2. F28004x ADC 输入模型.....	13
图 2-3. t_{acq} 的示例时序 (分段线性).....	15
图 2-4. t_{dis} 的示例时序 (分段线性).....	15
图 3-1. F280049 模拟工程师计算器输出示例.....	18
图 3-2. F280049 PSpice for TI 电路示例.....	19
图 3-3. F280049 T_{acq} 源时序示例.....	19
图 3-4. F280049 T_{dis} 源时序示例.....	20
图 3-5. F280049 偏置点分析仿真配置文件示例.....	20
图 3-6. F280049 偏置点分析结果示例.....	21
图 3-7. F280049 修改后的 PSpice for TI 电路示例.....	22
图 3-8. F280049 瞬态分析仿真配置文件示例.....	22
图 3-9. F280049 瞬态分析结果示例.....	23
图 3-10. F280049 瞬态分析仿真配置文件示例.....	24
图 3-11. F280049 初始瞬态结果示例.....	24
图 3-12. F280049 参数扫描设置示例.....	25
图 3-13. F280049 R_s 初始扫描结果示例.....	25
图 3-14. F280049 参数扫描设置示例.....	26
图 3-15. F280049 性能分析示例.....	27
图 3-16. F280049 性能分析向导示例 - 第 2 步, 共 4 步.....	27
图 3-17. F280049 性能分析向导示例 - 第 3 步, 共 4 步.....	28
图 3-18. F280049 性能分析迹线示例.....	28
图 3-19. F280049 最终瞬态结果示例.....	29
图 4-1. 利用电荷共享的示例电路.....	31
图 4-2. C_s 电压 ($R_s = 100\ \Omega$).....	32
图 4-3. C_s 电压 ($R_s = 1k\ \Omega$).....	32
图 4-4. OPA2320 的模拟工程师计算器输出.....	33

表格清单

表 1-1. 器件系列.....	7
表 2-1. 计算器输入类型映射.....	11
表 2-2. ADC 输入建立设计工作表.....	16
表 3-1. ADC 输入建立设计工作表 (F280049 示例).....	30

商标

TINA-TI™ is a trademark of Texas Instruments.

PSpice® is a registered trademark of Cadence Design Systems, Inc.

所有商标均为其各自所有者的财产。

1 引言

在使用 C2000 实时 MCU 设计系统时，评估驱动 ADC 的输入电路以实现适当建立是必要的步骤。建立不适当会导致各种采样问题，常见的是信号失真和存储器串扰。本应用报告探讨了在 TI 高精度实验室：[TI 高精度实验室 - SAR ADC 输入驱动器设计](#)关于 ADC 输入建立的八部分视频系列中介绍的方法（在 C2000 实时 MCU 上 ADC 的特定上下文中）。

1.1 ADC 输入建立的机制

要将检测到的模拟电压转换为数字转换结果，ADC 必须首先在其采样保持电路 (S+H) 中准确捕获施加的输入电压。如图 1-1 所示，这需要在配置的采集窗口时间（也称为 S+H 时间）内，将内部 ADC S+H 电容器 (C_H) 充电至所施加电压的某个可接受容差（通常为 0.5LSB ）范围内。

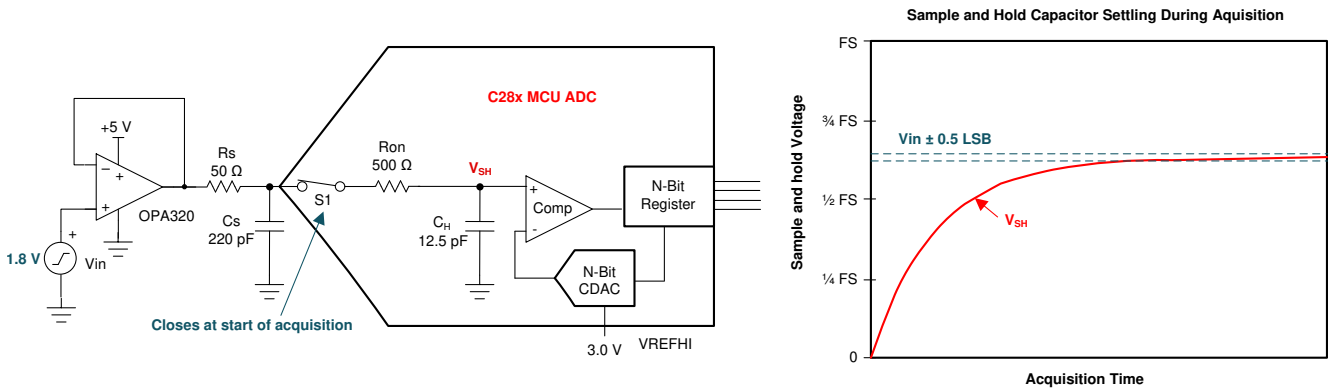


图 1-1. ADC S+H 电容器的建立

考虑到外部 ADC 驱动器电路的有限带宽和建立时间以及内部 ADC S+H 电路的建立时间，快速将 C_H 充电至所施加电压的过程变得复杂。在图 1-1 中，驱动器显示为具有有限带宽的运算放大器 (OPA320)，驱动器电路也有意放置了源电阻 (R_S) 和源电容 (C_S)，其有限的建立时间由 RC 时间常数决定。请注意，其他电路拓扑可用于驱动 ADC，这些电路可能具有额外的元件，需要对这些元件进行建模以确保适当的建立时间。这些元件可能会意外产生寄生效应，例如传感器的输出阻抗或分压器的有效源电阻。从图 1-1 还可以看到，ADC 具有内部寄生开关电阻 (R_{on})。这与 C_H 一起提供了一个会限制建立速度的额外 RC 时间常数。

1.2 建立不适当的症状

一旦 S+H 电容器捕获到电压，ADC 就会在转换阶段将该电压转换为数字转换结果。然后，CPU 可以使用该结果来控制或监测系统。但是，如果捕获的电压没有准确地表示由于建立误差而施加的电压，即使 ADC 转换过程顺利，最终转换结果也会导致误差。

这些建立误差的表现形式各不相同，具体取决于 ADC 是重复采样同一通道还是按顺序扫描多个通道。建立误差的表现形式也会因采集阶段开始时 S+H 电容器上的启动电压而有所不同。一些 ADC 架构实现的起始 S+H 电压接近上一次采样的电压，而另一些架构通常在 S+H 电容器放电的情况下开始采集阶段。

1.2.1 失真

在 ADC 对同一信号重复采样的情况下，建立误差通常表现为输入信号失真。在 S+H 电压开始接近上一次采样电压的架构中，输入信号的缓慢移动部分比快速移动部分的建立效果更佳。图 1-2 展示了一种架构，其中序列采样从上一次转换中采样和保持的电压开始建立。

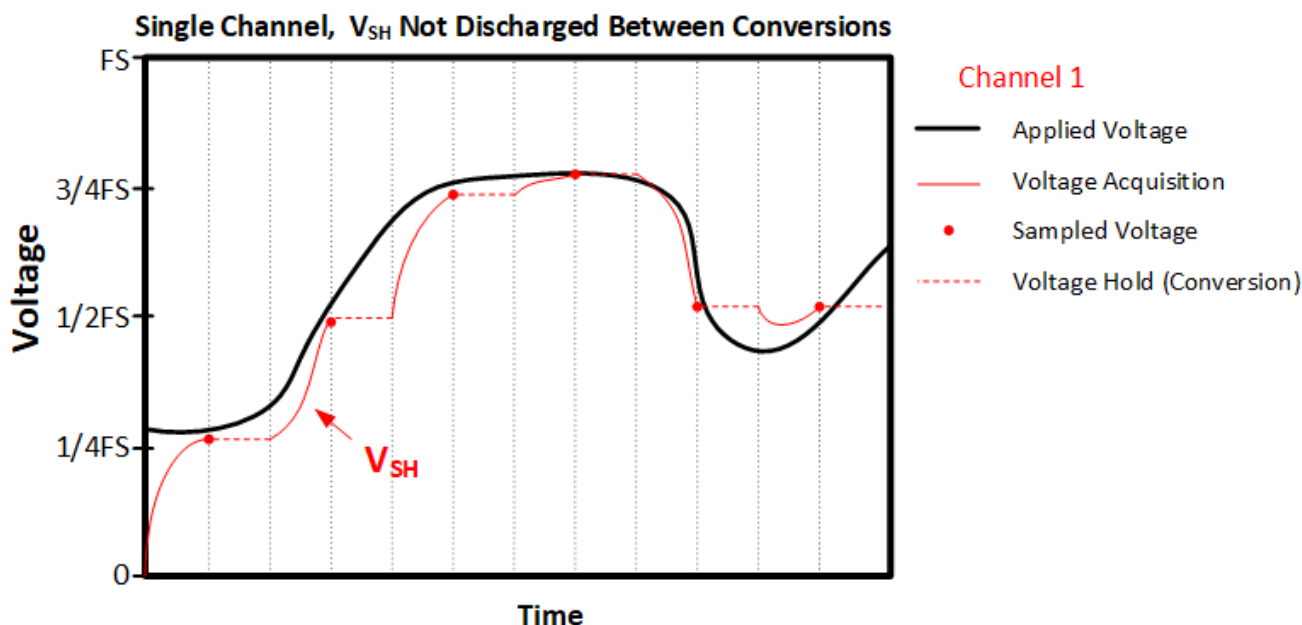


图 1-2. 两次转换之间保持 C_H 的采样序列

对于 S+H 电容器在放电状态下开始每个采集阶段的架构，较高输入电压的建立性能较差，从而导致信号调节失真。图 1-3 展示了一种架构，其中序列采样总是从接近零标度的地方开始建立。

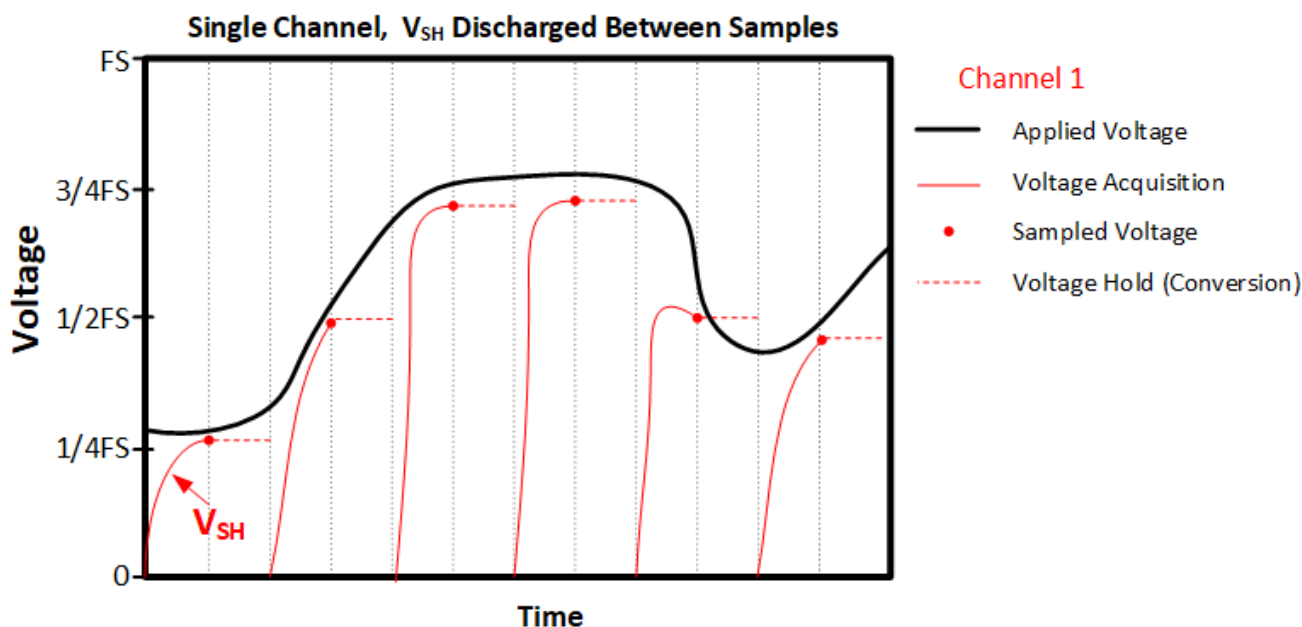


图 1-3. 两次转换之间 C_H 放电的采样序列

1.2.2 存储器串扰

在许多 C2000 实时 MCU 应用中，一个典型的用例是使用 ADC 输入多路复用器按顺序扫描多个通道。如果转换后的通道建立不适当，该通道可能会被拉至序列中上一次转换的电压。发生这种情况是因为 S+H 电压在开始时接近上一次转换的电压，然后稳定至（但未达到）所施加的电压。上一次转换会导致发生一系列影响当前转换的转换，这种倾向称为存储器串扰。通常可以通过适当的建立设计来完全缓解存储器串扰问题。

图 1-4 说明了这样一种情况：共用采样保持必须在两个不同的多路复用输入信号之间来回建立。

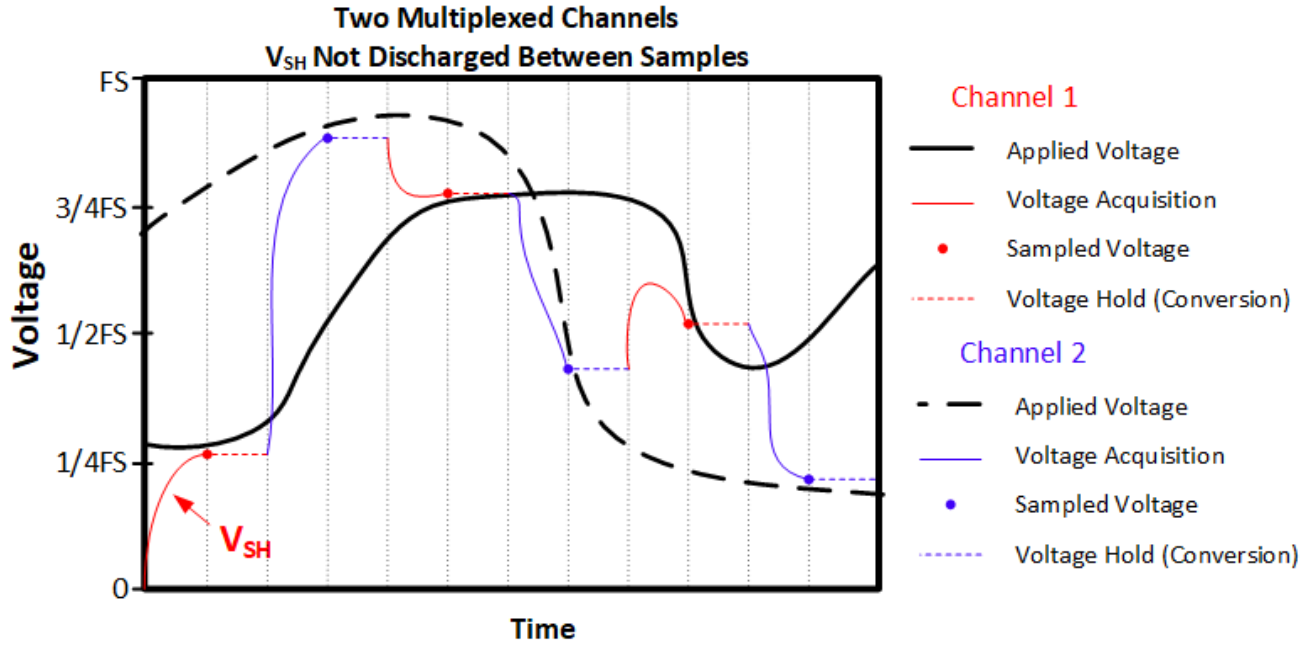


图 1-4. 多路复用采样序列

从 S+H 电容器完全放电开始的转换器架构通常不会经历显著的存储器串扰（但如果 ADC 驱动电路不适合分配的采集时间，仍会经历与输入建立相关的失真）。

1.2.3 精度

输入建立不适当而引入的误差通常无法通过过采样和取平均值来校准或减少。因此，即使检测到的输入信号是低频甚至是直流信号，关注绝对采样精度的应用也需要确保适当的 ADC 输入建立。

1.2.4 C2000 ADC 架构

C2000 实时 MCU ADC 通常先将 S+H 电容器预充电至接近上一个转换结果的电压。例外情况是 ADC 支持差分信号但在单端模式下运行。在这种情况下，当上一次在偶数通道转换而当前通道为奇数通道时，S+H 电容器开始放电，反之亦然。例如，如果在 A3 之后对通道 A4 进行采样（或者相反），则 S+H 电容器会开始放电，但在通道 A2 之后对通道 A4 进行采样或在通道 A3 之后对通道 A1 进行采样时，开始接近上一次转换的电压。

1.3 资源

以下工具和材料对于 ADC 驱动器电路设计和输入稳定评估非常有用。

1.3.1 TINA-TI 基于 SPICE 的模拟仿真程序

TI 为 TI 客户提供 TINA-TI 应用程序，以便利用 TI 产品轻松对电路进行基于 SPICE 的仿真。由于本应用报告使用 PSpice for TI 而不是 TINA-TI 来评估电路建立性能，因此在继续之前无需确保下载并安装 TINA-TI。但是，TINA-TI 应用程序和其他资源仍然可用。

工具文件夹链接：[TINA-TI™](#)

1.3.2 PSpice for TI 设计和仿真工具

TI 为 TI 客户提供 PSpice for TI 应用程序，以便利用 TI 产品轻松对电路进行基于 SPICE 的仿真。本应用报告利用该程序来评估电路建立性能。请确保下载并安装该应用程序，然后再继续。

工具文件夹链接：[PSpice® for TI](#)

PSpice for TI 培训系列链接：[探索 PSpice for TI](#)

TI E2E 支持论坛链接：[欢迎来到 TI E2E 设计支持论坛](#)

Cadence PSpice for TI 论坛链接：[欢迎来到 PSpice 论坛](#)

1.3.3 TI 高精度实验室 - SAR ADC 输入驱动器设计系列

TI 高精度实验室提供了一个由八个部分组成的出色视频系列，该视频系列演示了如何设计 SAR ADC 的输入驱动器。查看该材料将有助于进一步了解基于高速运算放大器的信号调节设计过程和选项。

视频培训系列链接：[TI 高精度实验室 - SAR ADC 输入驱动器设计](#)

1.3.4 模拟工程师计算器

模拟工程师的计算器工具提供了各种非常有用的基于 GUI 的计算选项卡，以协助完成常见的模拟电路设计任务。高速运算放大器设计方法利用“Data Converters”→“ADC SAR Drive”计算器。

工具文件夹链接：[模拟工程师计算器](#)

1.3.5 相关应用报告

TI 提供了多个与 C2000 实时 MCU 器件上 ADC 输入电路的设计和评估相关的应用报告。这些应用报告与简要说明一起列出。

应用报告标题	原理图捕获和仿真工具	用途
C2000 MCU 的 ADC 输入电路评估 (TINA-TI)	TINA-TI	介绍了如何设计和评估传统高速 ADC 驱动电路。输入电路包含一个运算放大器。适用于在 ADC 的最大采样率附近对高带宽信号进行采样。
C2000 MCU 的 ADC 输入电路评估 (PSpice for TI)	PSpice for TI	
C2000 ADC 的电荷共享驱动电路 (TINA-TI)	TINA-TI	介绍了如何设计和评估电荷共享 ADC 驱动电路。输入电路可能包含也可能不包含运算放大器。适用于对带宽和采样率足够低的信号进行采样。
C2000 ADC 的电荷共享驱动电路 (PSpice for TI)	PSpice for TI	
缓解 ADC 存储器串扰的方法	TINA-TI	介绍了在输入电路设计未实现适当建立时减少存储器串扰误差的策略。适用于特殊情况。

1.3.6 PSpice for TI ADC 输入模型

本应用报告包含为多个器件系列预先生成的 ADC 输入模型，列出了器件系列以及与每个系列关联的 ADC 输入模型，并对每个 ADC 输入模型进行了简要说明。

对于表 1-1 中未列出的 C2000 器件，只要信号模式匹配（使用单端模型运行单端 ADC，或使用差分模型运行差分 ADC），仍可以使用以下输入模型。还需要更新 R_{on} 和 C_h 值，以匹配器件特定数据手册中指定的值。

表 1-1. 器件系列

器件系列	ADC 输入模型	说明
TMS320F2807x	F2807x_Ext	F2807x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
TMS320F2837xD、TMS320F2837xS	F2837x_Ext_12BSE	F2837x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F2837x_Ext_16BDE	F2837x ADC 输入模型 3.0V 外部基准 16 位分辨率 差分输入模式
TMS320F2838xD、TMS320F2838xS	F2838x_Ext_12BSE	F2838x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F2838x_Ext_16BSE	F2838x ADC 输入模型 3.0V 外部基准 16 位分辨率 单端输入模式
	F2838x_Ext_16BDE	F2838x ADC 输入模型 3.0V 外部基准 16 位分辨率 差分输入模式
TMS320F28002x	F28002x_Ext	F28002x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F28002x_Int25	F28002x ADC 输入模型 2.5V 外部基准 12 位分辨率 单端输入模式
	F28002x_Int33	F28002x ADC 输入模型 3.3V 外部基准 12 位分辨率 单端输入模式
TMS320F28004x	F28004x_Ext	F28004x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F28004x_Int25	F28004x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F28004x_Int33	F28004x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式

表 1-1. 器件系列 (continued)

器件系列	ADC 输入模型	说明
TMS320F28003x	F28003x_Ext	F28003x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F28003x_Int25	F28003x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F28003x_Int33	F28003x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式
TMS320F280013x	F280013x_Ext	F280013x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F280013x_Int25	F280013x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F280013x_Int33	F280013x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式
TMS320F280015x	F280015x_Ext	F280015x ADC 输入模型 3.0V 外部基准 12 位分辨率 单端输入模式
	F280015x_Int25	F280015x ADC 输入模型 2.5V 内部基准 12 位分辨率 单端输入模式
	F280015x_Int33	F280015x ADC 输入模型 3.3V 内部基准 12 位分辨率 单端输入模式

CAUTION

虽然用于多个 C2000 器件的 ADC 输入模型与本应用报告捆绑在一起，但应始终首先使用特定于器件的数据手册对输入模型元件值进行验证，然后再继续。有关更多信息，请参阅 [节 2.5](#)。

2 输入建立设计步骤

用于设计理想 ADC 输入驱动器的 [TI 高精度实验室 - SAR ADC 输入驱动器设计](#) 方法可细分为以下所示的步骤。后续各节将讨论如何将这此步骤应用于 C2000 ADC。

1. 选择 ADC。
2. 查找最小运算放大器带宽和 RC 滤波器范围。
3. 选择运算放大器。
4. 验证运算放大器模型。
5. 构建 ADC 输入模型。
6. 通过仿真优化 RC 滤波器值。
7. 执行最终仿真。

2.1 选择 ADC

假设您已选择一款具有一个或多个集成 ADC 模块的基于 C28x 的微控制器。C28x 产品搜索可用于选择 MCU：[C2000 实时控制 MCU - 产品](#)和 C2000 外设指南列举了不同器件（包括 ADC）上的外设之间的区别：[C2000 实时控制 MCU 外设参考指南](#)。

选择 C2000 器件后，您应在器件特定数据手册中找到以下信息，然后再继续。

数据手册信息	位置	注释
最短采样窗口持续时间	“ADC 电气数据和时序”部分中的“ADC 运行条件”表	某些器件支持多种分辨率模式和信令模式；请确保参数与您要使用的模式相对应。
ADC 输入模型	“ADC 输入模型”部分中的“输入模型参数”表	某些器件支持多种分辨率模式和信令模式；请确保模型与您要使用的模式相对应。
所选 ADC 引脚的特定寄生电容	“ADC 输入模型”部分中的“每通道寄生电容”表	如果通道分配尚不清楚，请使用 ADCIN15 的值。
ADC 时序	“ADC 时序图”部分中的“ADC 时序”表	某些器件支持多种分辨率模式和信令模式；请确保时序与您要使用的模式相对应。您还需要了解您的预期 CPU 时钟 (SYSCLK) 和 ADC 时钟 (ADCCLK) 速率。如果尚不清楚，请使用“ADC 运行条件”表中给出的最大 ADCCLK 值以及器件的最大 SYSCLK。

2.2 查找最小运算放大器带宽和 RC 滤波器范围

找到器件特定数据手册中的详细 ADC 信息后，您就可以使用[模拟工程师计算器](#)来确定驱动运算放大器所需的最小带宽，以及放置在 ADC 输入上的外部源电阻器和外部源电容器的电势范围。

打开模拟工程师计算器应用程序，选择“Select the Calculator”下面的“Data Converters”→“ADC SAR Drive”计算器。这将打开一个类似于[图 2-1](#)中所示的计算器窗口。

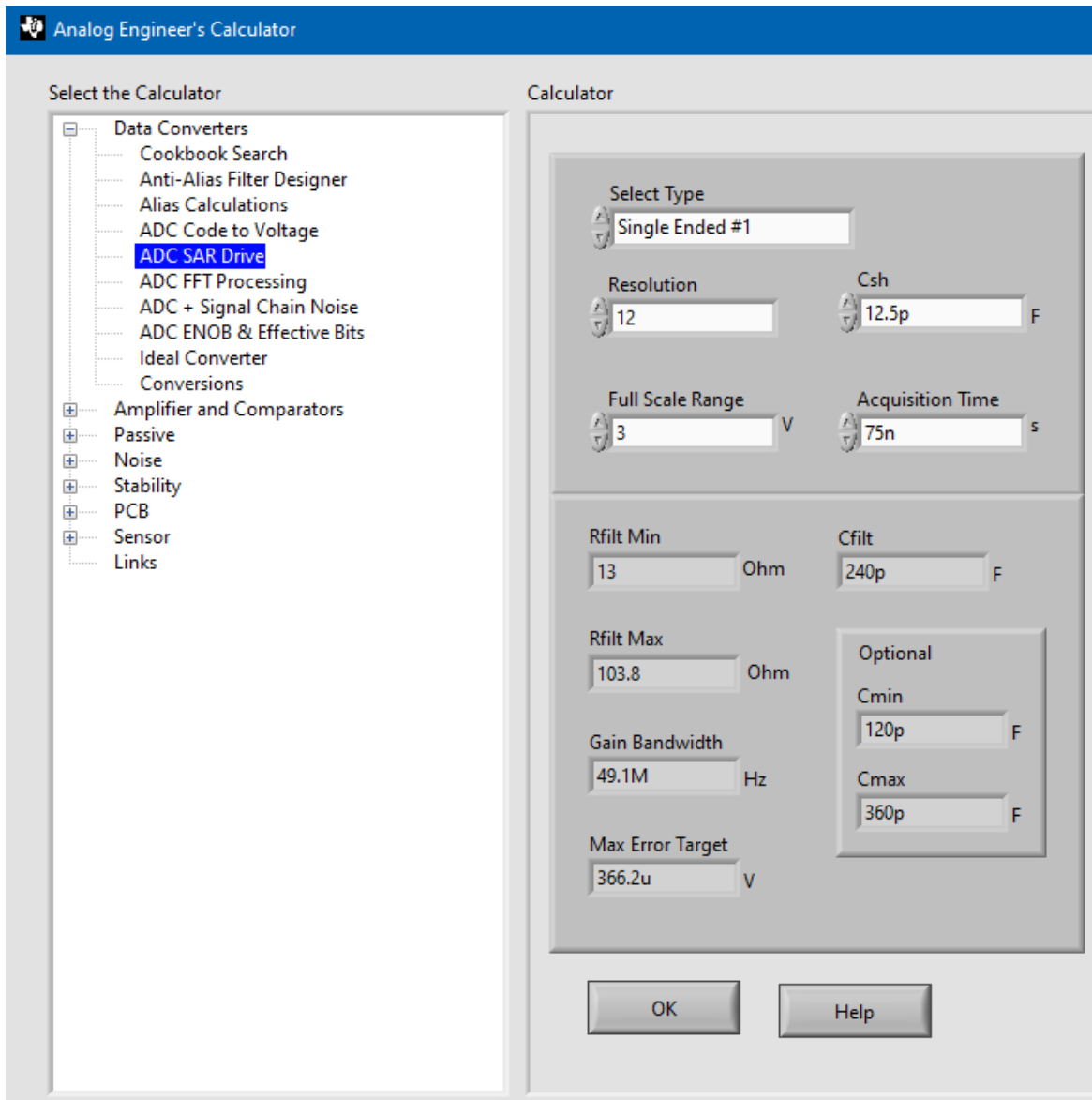


图 2-1. 模拟工程师计算器屏幕截图

打开正确的计算器后，请输入相应的信息。

2.2.1 选择类型

C2000 ADC 可根据特定器件配置为单端输入模式或差分输入模式。该计算器支持多种输入模式类型。表 2-1 将 C2000 输入模式映射到计算器选择类型。

表 2-1. 计算器输入类型映射

C2000 信号模式	计算器输入类型选择
单端	“单端 1”
差分	“差分”

2.2.2 分辨率

输入要使用的 ADC 模式的分辨率 (以位为单位)。对于 C2000 ADC，通常为 12 位或 16 位。

通常会选择 ADC 的实际分辨率。但是，在 ADC 通道不需要利用 ADC 的全分辨率的情况下，可以输入较低的值来放宽输入建立设计要求。

例如：

分辨率 = 12 位， $C_{sh} = 12.5\text{pF}$ ，满量程范围 = 3.0V，采集持续时间 = 100ns

- 12 位的全分辨率要求最小运算放大器带宽为 37MHz 并稳定至优于 0.366mV
- 降低 10 位的分辨率 (大约 0.1% 建立时间) 需要 28MHz 的最小运算放大器带宽并稳定至优于 1.465mV

2.2.3 C_{sh}

输入 ADC S+H 电容器的值。这便是器件特定数据手册的输入模型参数表中的参数“ C_h ”。不同的分辨率和基准模式可能具有不同的输入模型参数，因此请确保选择的参数与预期的 ADC 使用模式相对应。

2.2.4 满量程范围

输入与 ADC 的满量程范围相对应的电压。当使用外部基准模式时，这对应于 ADC VREFHI 引脚上提供的电压，通常为 2.5V 或 3.0V。当使用内部基准模式 (在支持的器件上) 时，这对应于所选基准模式的电压范围 (2.5V 或 3.3V)。

2.2.5 采集时间

输入目标 ADC 采集窗口时间。为获得超低的 ADC 转换延迟 (对应于最大 ADC 采样率)，请在器件特定数据手册的 ADC 运行条件表中选择参数“采样窗口持续时间”的最小值。

选择一个大于 ADC 最小采集时间的目标 S+H 时间可以简化输入驱动运算放大器的输入建立设计要求。

例如：

分辨率 = 12 位， $C_{sh} = 12.5\text{pF}$ ，满量程范围 = 3.0V

- 采集时间 = 75ns 需要使用带宽约为 50MHz 的驱动运算放大器
- 采集时间 = 150ns 需要使用带宽约为 25MHz 的驱动运算放大器
- 采集时间 = 750ns 需要使用带宽约为 5MHz 的驱动运算放大器

由于 C2000 ADC 包装器允许按 SoC 配置 S+H 时间 (通过使用 SoC 控制寄存器中的 ACQPS 设置)，因此可以根据每个通道做出相应的决策。

2.2.6 输出

将所有输入提供给计算器后，记录输出以供后续分析

- 为了确定理想的驱动器电路，将通过 PSpice for TI 仿真来探索 R_{filt} 和 C_{filt} 输出范围
- 最大误差目标输出在指定分辨率下对应于 1/2LSB。如果建立处于此范围内，则最终 PSpice for TI 仿真将视为成功。

- 下一步将使用增益带宽输出来选择合适的运算放大器。所选的运算放大器应具有大于等于该值的单位增益带宽，以实现出色的建立性能。

2.2.7 计算器背后的数学原理

有关通过分析来确定所需运算放大器带宽以及 R_{filt} 和 C_{filt} 范围的其他信息，请参阅 SAR ADC 输入驱动器设计系列中的最终 TI 高精度实验室视频：[R-C 元件选择背后的数学理论](#)。

2.3 选择运算放大器

接下来需要为 ADC 驱动器电路选择合适的运算放大器。该运算放大器需要满足模拟工程师计算器报告的最小单位带宽增益积。

有关选择运算放大器的其他说明，请观看 TI 高精度实验室视频：[选择并验证驱动器放大器](#)。

如果事实证明难以选择满足指定要求的运算放大器，请记住，可以放宽建立分辨率和目标采集时间（如果应用要求允许），以放宽对驱动运算放大器的要求。这两种器件均可根据每个通道进行调整，以使关键 ADC 输入具有出色性能，同时允许辅助 ADC 输入具有宽松的性能。

2.4 验证运算放大器模型

接下来，需要为上一步中选择的运算放大器获取 PSpice for TI 模型。

可以使用 PSpice 器件搜索工具获取所选运算放大器的 PSpice for TI 模型。要启动 PSpice 器件搜索工具，请使用 PSpice for TI 原理图捕获窗口左上角的菜单，转到“Place”→“PSpice Component...”→“Search...”。或者，点击 PSpice for TI 原理图捕获窗口右上角的“Launch PSpice Part Search”按钮。该按钮的图标看起来像一个带放大镜的集成电路。在 PSpice 器件搜索工具的搜索栏中输入所选运算放大器的器件名称，以查找 PSpice for TI 模型。

TI 高精度实验室视频[选择并验证驱动器放大器](#)提供了有关如何根据器件特定数据手册中提供的信息来验证模型的详细说明。具体而言，必须对照器件特定数据手册中提供的“开环增益和相位与频率间的关系”图，以及器件特定数据手册中提供的“开环输出阻抗与频率间的关系”和“闭环输出阻抗与频率间的关系”图中的一个或两个图来验证该模型。要生成这些图，必须执行交流仿真。

请注意，在 PSpice for TI 中执行交流仿真需要创建“交流扫描/噪声”仿真配置文件。在 PSpice for TI 中执行交流仿真时，请确保所有交流电源的交流幅度都为 1。可以使用 dB 幅度标记来测量输出变量的幅度（以分贝为单位）。同样，可以使用相位标记来测量输出变量的相位（以度为单位）。要放置这些标记，请使用 PSpice for TI 原理图捕获窗口左上角的菜单转到“PSpice”→“Markers”→“Advanced”。对于比单个输出变量更复杂的迹线表达式的幅度（以分贝为单位）和相位（以度为单位），只能从 PSpice for TI 仿真窗口进行测量。在 PSpice for TI 仿真窗口中，可以使用 DB() 函数来测量迹线表达式的幅度（以分贝为单位），也可以使用 P() 函数来测量迹线表达式的相位（以度为单位）。

2.5 构建 ADC 输入模型

要在 PSpice for TI 中仿真和优化 ADC 输入驱动器电路，首先需要为 ADC 构建 PSpice for TI 输入模型。TI 高精度实验室视频[构建 SAR ADC 输入模型](#)概述了如何根据 ADC 器件的器件特定数据手册中提供的信息执行该过程。本应用报告包含为 [TMS320F2837xD](#)、[TMS320F2837xS](#)、[TMS320F2838xD](#)、[TMS320F2838xS](#)、[TMS320F2807x](#)、[TMS320F28004x](#) 和 [TMS320F28002x](#) 系列器件预先生成的 ADC 输入模型，因此无需手动创建这些模型。

该 TI 高精度实验室视频还概述了如何配置 TINA-TI 仿真参数以优化仿真结果。然而，本应用报告概述了如何配置 PSpice for TI 仿真参数来优化仿真结果。要提高偏置点仿真结果的数值精度，请转到“PSpice”→“Bias Points”→“Preferences...”，然后增大“Displayed Precision”参数值。要优化瞬态仿真结果，请打开瞬态仿真配置文件，然后减小最大步长。要在 PSpice for TI 仿真窗口中提高仿真结果的数值精度，请转到“Tools”→“Options...”→“Cursor Settings”，然后增加光标位数。

本应用报告要求精确到微伏级。因此，请确保“Displayed Precision”参数和光标位数大于或等于 7。最大步长的配置因具体仿真而异，但最大步长比仿真停止时间小三到四个数量级通常就足够了。

CAUTION

有关如何进一步优化仿真结果的其他指南，请查看技术文章 [PSpice for TI 入门，第 1 部分：通过 6 个步骤优化仿真配置文件](#)。

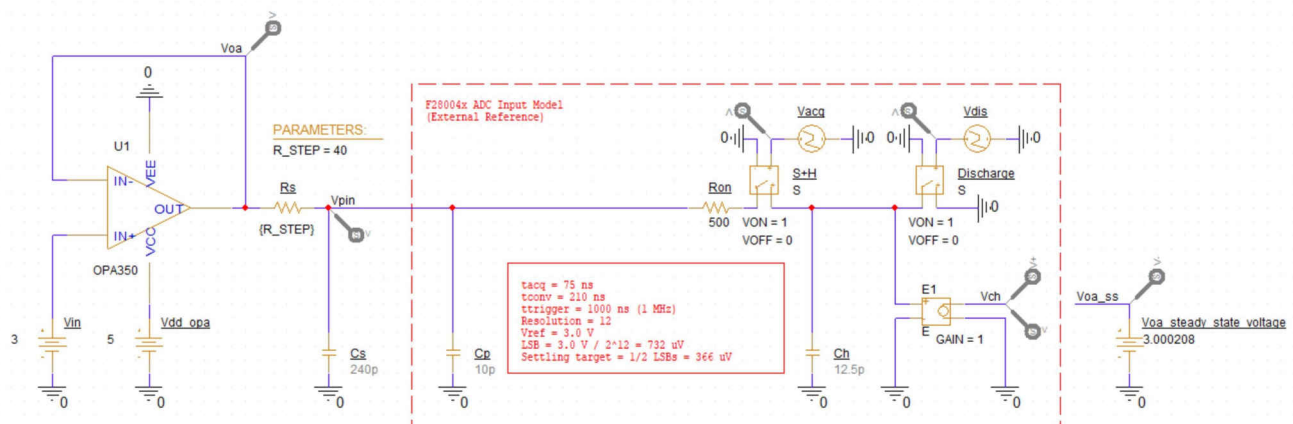


图 2-2. F28004x ADC 输入模型

图 2-2 展示了所提供的一种 ADC 输入模型的示例。以下各节简要介绍了每个模型元件的主要功能。

2.5.1 V_{in}

V_{in} 是所施加的将用于为 S+H 电容器充电的电压。虽然可以对任何输入进行仿真，但施加满量程输入电压可提供最坏情况下的直流建立条件，因为 S+H 电容器始终在此模型中开始放电。

2.5.2 V_{oa} 、 V_{oa_ss} 和 V_{error}

PSpice for TI 运算放大器模型包含各种非理想因素，这会导致运算放大器在 V_{oa} 下的直流稳态输出与 V_{in} 不完全匹配。可对 V_{oa} 下的稳态输出进行仿真并将其输入到 V_{oa_ss} ，这样 V_{error} 便只准确表示输入建立误差。

2.5.3 R_s 、 C_s 和 V_{cont}

R_s 和 C_s 分别是源电阻和源电容。这些值对应于 TI 高精度实验室培训术语中的 R_{filt} 和 C_{filt} 。 R_s 电阻由全局参数 R_STEP 决定。当差分模型中有两个 R_s 电阻器时，使用全局参数可实现参数扫描。

2.5.4 C_h 、 R_{on} 和 C_p

ADC 输入模型的元件值。

C_h (S+H 电容器) 对应于 TI 高精度实验室培训术语中的 C_{sh} ，而 R_{on} (S+H 开关导通电阻) 对应于 R_{sh} 。

C_p 是特定于引脚的输入电容。这可以选择性地添加到仿真中，以提高仿真精度。对于与 VDAC 进行多路复用的引脚，也就是 DAC 的备用电压基准引脚 (在大多数器件上，其 C_p 值大于 100pF)，添加特定于引脚的输入电容特别有用。

与 F2837x 和 F2807x 器件上的缓冲 DAC 输出进行多路复用的引脚具有一个寄生 50k Ω 下拉电阻器。建议在模型中添加该电阻器 (图 2-2 中未显示)，从而更好地表示这些引脚的行为。

CAUTION

虽然用于多个 C2000 器件的 ADC 输入模型与本应用报告捆绑在一起，但应始终首先使用特定于器件的数据手册对输入模型元件值进行验证，然后再继续。 C_h 和 R_{on} 的值可从器件特定数据手册的输入模型参数表中获取，而 C_p 的值可从每通道寄生电容表中获取。如果特定于器件的数据手册值与本文档或所提供模型中的值不一致，应始终将特定于器件的数据手册值视为正确的值。

2.5.5 S+H 开关、放电开关、 t_{acq} 和 t_{dis}

开关 “S+H” 控制 S+H 电容器 C_h 何时由驱动电路充电。该开关的时序由 t_{acq} 控制。图 2-3 显示了 75ns 采集窗口的示例 t_{acq} 时序配置。

开关 “放电” 控制 S+H 电容器 C_h 何时通过对地放电而复位。该开关的时序由 t_{dis} 控制。图 2-4 显示了 1 μ s 触发周期的示例 t_{dis} 时序配置。

当 t_{acq} 和 t_{dis} 均未激活时，S+H 电容器的值保持在其最终稳定值。

请注意，时序配置为模拟以设定的 1MHz 频率触发的转换，而不是背靠背连续转换。这更接近模拟 ePWM 模块定期触发的典型 C2000 ADC 用例。通过修改 t_{acq} 和 t_{dis} 时序源的周期，可以修改触发频率以匹配实际应用的 ePWM 触发频率。不过，请务必确保触发周期大于总采集时间加上 ADC 转换时间。器件特定数据手册的“ADC 时序”表中提供了 ADC 转换时间。

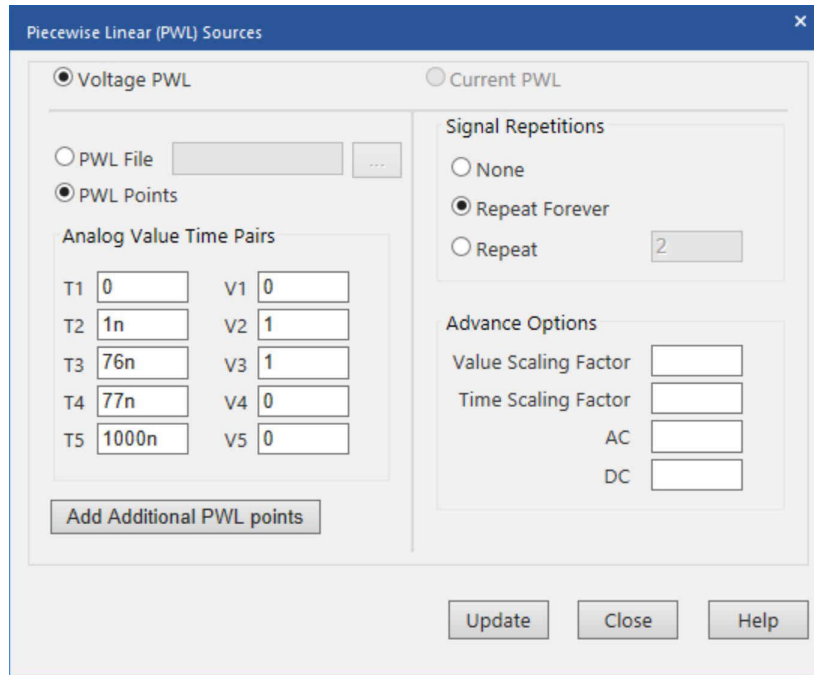


图 2-3. t_{acq} 的示例时序（分段线性）

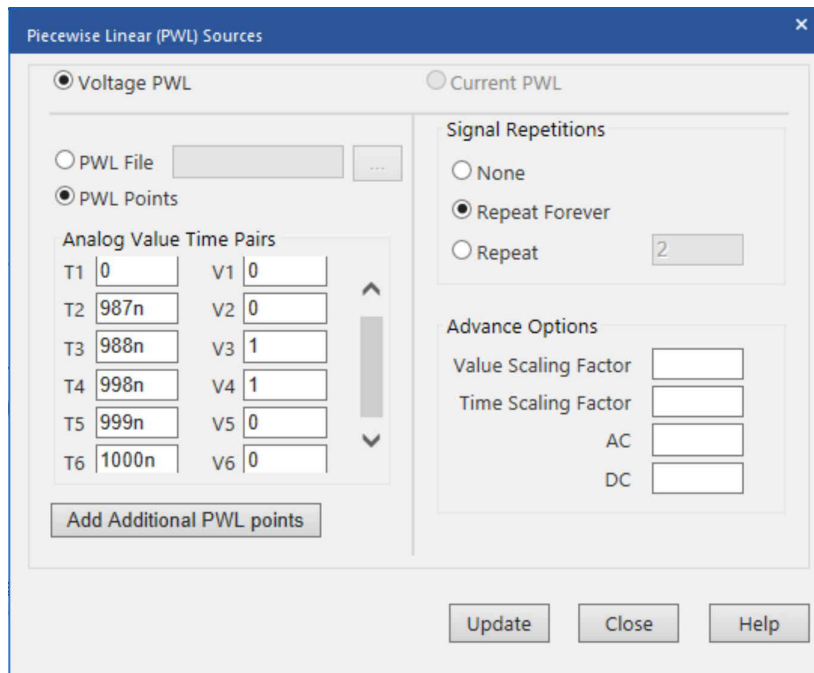


图 2-4. t_{dis} 的示例时序（分段线性）

2.6 通过仿真优化 RC 滤波器值

将 ADC 输入模型与运算放大器仿真模型结合后，可以使用仿真来选择 R_S 和 C_S 的理想值。有关执行元件优化仿真的深入说明，请参阅 TI 高精度实验室视频[优化 ADC 驱动器上的 Rfilt 和 Cfilt 值](#)。但是，[节 3](#) 中的输入电路设计示例遵循的替代指令利用 PSpice for TI 的独特功能来选择 R_S 和 C_S 的理想值。

确定 R_S 和 C_S 的理想值后，应使用最接近的可用标准元件值执行最终仿真。这将确立最终的建立误差，此误差可与从模拟工程师计算器中获得的建立误差目标进行比较。

如果建立误差不符合目标，则需要额外的迭代，这就需要评估不同的运算放大器，评估不同的 R_S 和 C_S 值，或放宽 S+H 时间或建立分辨率目标。

2.7 执行最终仿真

还可以选择执行其他仿真来验证设计的稳健性。其中包括：

- 使用更长的 S+H 持续时间进行仿真，以确保输入始终保持建立
- 观察运算放大器输出节点处的建立情况。该节点还在采集周期结束时稳定在 $1/2LSB$ (或选定的建立目标) 以内
- 观察多个周期内的建立情况
- 使用交流输入执行建立仿真

有关执行这些仿真的信息，请参阅 TI 高精度实验室视频[最终 SAR ADC 驱动器仿真](#)。请注意，虽然该视频从概念上介绍了如何执行这些仿真，但该视频不提供有关如何使用 PSpice for TI 执行这些仿真的明确说明。使用 PSpice for TI 探索这些仿真超出了本应用报告的范围。

2.8 输入设计工作表

[表 2-2](#) 列出了评估 ADC 输入驱动电路所需的输入，并提供了一个汇总输出的位置。建议为实时控制应用中的每个不同电路填写此工作表，以确保良好的建立性能。对于某些电路，可能需要使用应用报告[C2000 ADC 的电荷共享驱动电路 \(使用 PSPICE-FOR-TI 仿真工具 \)](#) 中介绍的替代设计方法。该报告还提供了一个工作表，可以使用替代设计方法对其进行评估。

表 2-2. ADC 输入建立设计工作表

符号	说明	值	说明
V_{fs}	满量程电压范围		在外部基准模式下，这是向 VREFHI 引脚提供的电压 (通常为 3.0V 或 2.5V) 在内部基准模式下，这是基于所选基准模式的有效输入范围 (通常为 3.3V 或 2.5V)
N	目标建立分辨率 (位)		通常与 ADC 的分辨率相同 可以采用较低的目标分辨率来降低输入设计要求
V_{errmax}	最大误差目标		$V_{fs} / 2^{N+1}$ 使用模拟工程师计算器获取：ADC SAR 驱动器
t_{sh}	S+H 时间		输入目标 S+H 时间 (如果已知) 较长的 S+H 时间会导致对驱动运算放大器的带宽要求不那么严格。 可针对预先确定的运算放大器选择或预先确定的 R_S 和 C_S 进行求解
导通电阻 (Ron)	ADC 开关电阻		在器件特定数据手册的输入模型参数表中提供 TI 高精度实验室培训将其称为 “ R_{sh} ”
C_h	ADC S+H 电容		在器件特定数据手册的输入模型参数表中提供 TI 高精度实验室培训将其称为 “ C_{sh} ”
C_p	ADC 引脚寄生电容		在器件特定数据手册的每通道寄生电容表中提供
C_S (range)	源电容范围		使用模拟工程师计算器获取：ADC SAR 驱动器。 TI 高精度实验室培训将其称为 “ C_{filt} ”
R_S (range)	源电阻范围		使用模拟工程师计算器获取：ADC SAR 驱动器。 TI 高精度实验室培训将其称为 “ R_{filt} ”
BWOPA	ADC 驱动器运算放大器最小带宽		使用模拟工程师计算器获取：ADC SAR 驱动器。
运算放大器	选择的运算放大器器件型号		在此处记录所选的运算放大器

表 2-2. ADC 输入建立设计工作表 (continued)

符号	说明	值	说明
V_{oa_ss}	稳态运算放大器输出电压		从 V_{oa} 节点的直流节点分析生成复制到 V_{oa_ss} ，然后继续进行其他仿真
C_S (final)	最终源电容		从仿真选择的最终 C_S 。 TI 高精度实验室培训将其称为 “ C_{filt} ”
R_S (final)	最终源电阻		从仿真选择的最终 R_S 。 TI 高精度实验室培训将其称为 “ R_{filt} ”
$BW_{R_S C_S}$	来自 C_S 和 R_S 的滤波器带宽		$1/(2\pi \cdot C_S \cdot R_S)$ 备注 为了实现适当的建立，滤波器带宽将必然高于 $\frac{1}{2}$ 采样频率，因此 C_S 和 R_S 的组合通常不会用作抗混叠滤波器。
V_{err}	实际建立误差		确保 $V_{err} < V_{errmax}$ 否则，需要对 C_S 、 R_S 或驱动放大器的选择进行额外迭代。

3 电路设计示例

以下各节将详细介绍并讨论如何设计用于实现输入建立的示例 C2000 电路。

3.1 选择 ADC

该示例假设 F280049 器件处于外部基准模式 ($V_{REFHI} = 3.0V$) 并且使用通道 A0。触发频率为 1MHz。该 ADC 仅支持 12 位单端采样。

从 [TMS320F28004x 微控制器数据手册](#) 中可以获得以下关键值：

- 最短采样窗口持续时间 = 75ns
- $C_h = 12.5pF$
- $R_{on} = 500\Omega$
- $C_p = 12.7pF$
- ADC 转换时间 = 210ns ([TMS320F28004x 微控制器数据手册](#) 的 ADC 时序表中的 t_{eoc}) = 21 SYSCLK 周期，SYSCLK = 100MHz

3.2 查找最小运算放大器带宽和 RC 滤波器范围

图 3-1 显示了本示例中模拟工程师计算器的输入和输出。请注意，S+H 持续时间从 ADC 最小值 75ns 放宽到 100ns。由此可获得以下关键值：

- $C_s = 240pF$ (如果需要，范围为 120pF 至 360pF)
- R_s 范围 = 17Ω 至 138Ω
- 运算放大器最小带宽 = 37MHz
- 建立误差目标 ($1/2LSB$) = $366\mu V$

结合运算放大器的选择步骤，我们发现稍微放宽 S+H 持续时间可将所需的运算放大器带宽从 50MHz 降低到 37MHz。这使得运算放大器选择能够更好地满足工程限制 (OPA350)，同时仍然满足对于采样延迟的应用要求。

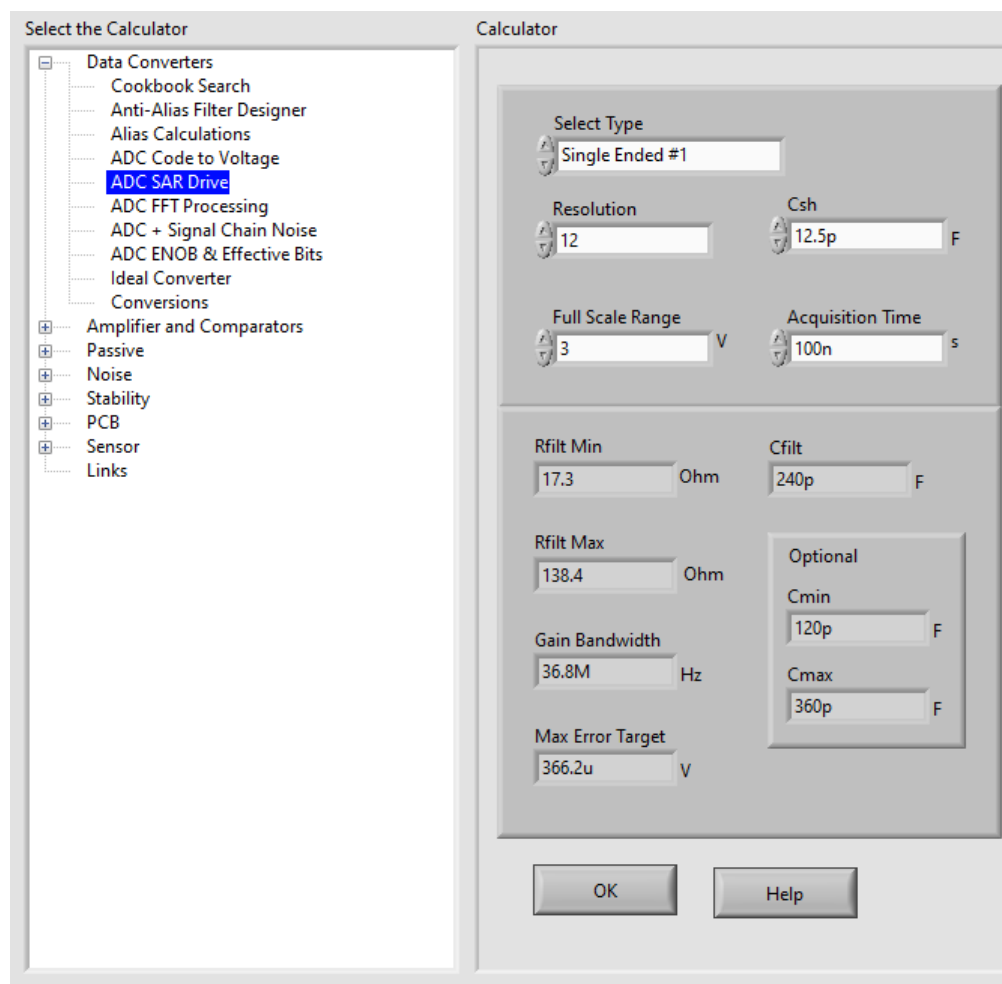


图 3-1. F280049 模拟工程师计算器输出示例

3.3 验证运算放大器模型

最新 OPA350 模型是使用 PSpice 器件搜索工具获得的。

3.4 构建 ADC 输入模型

OPA350 模型与提供的 F28004x_Ext.opj ADC 输入模型相结合。除了将驱动放大器设置为 OPA350 外，还在 PSpice for TI 文件上执行了以下操作来准备仿真：

- 将运算放大器电源设置为适当的电压 (5.0V 和接地)
- 将 V_{in} 设置为满量程电压 (3.0V)
- 将 C_s 和 C_p 初始值设置为满量程电压 (3.0V)
- 将 V_{oa_ss} 设置为从直流节点电压分析获得的电压 (在下一节中演示)
- 将 T_{acq} 和 T_{dis} 源周期设置为 1000ns (1MHz 触发频率)
- 将 T_{acq} 源 S+H 时间设置为 100ns
- 根据从器件特定数据手册中获得的值来设置 C_p 、 R_{on} 和 C_h 值
- 将 C_s 设置为计算器提供的标称值
- 将 R_s 设置为计算器提供的范围中的值 (通过设置 R_STEP)

初始电路如图 3-2 所示， t_{acq} 和 t_{dis} 的时序如图 3-3 和图 3-4 所示。

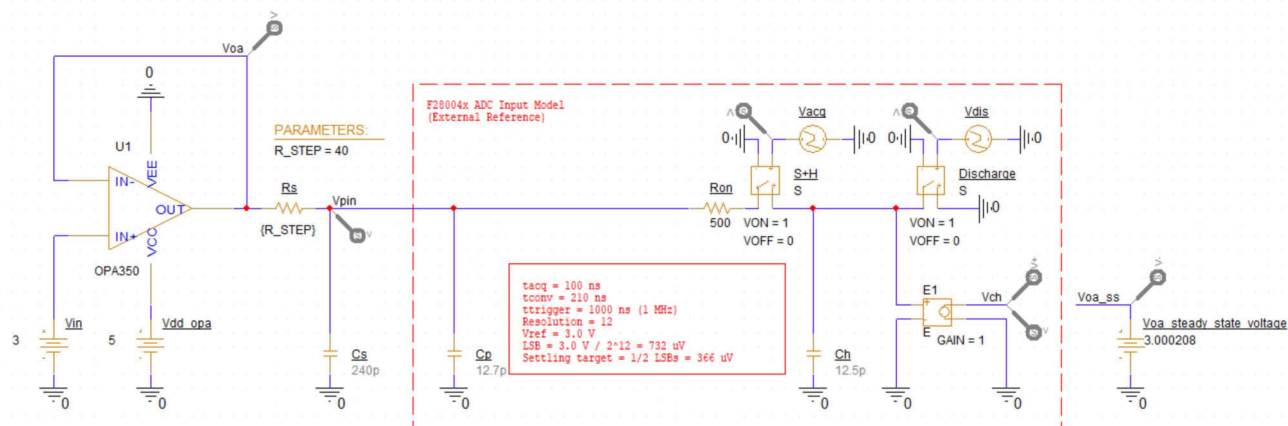


图 3-2. F280049 PSpice for TI 电路示例

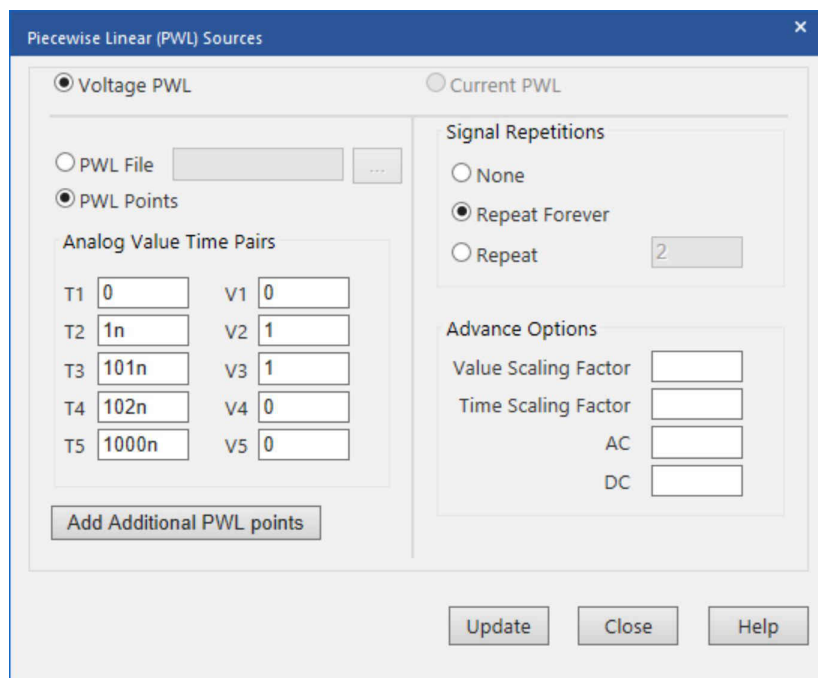
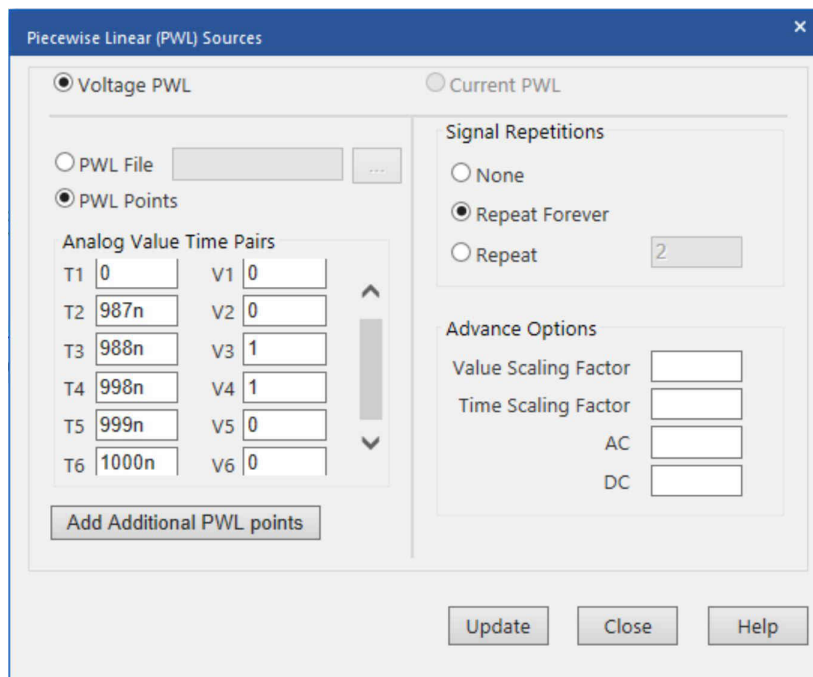


图 3-3. F280049 T_{acq} 源时序示例

图 3-4. F280049 T_{dis} 源时序示例

3.5 用于确定 V_{oa_ss} 的偏置点分析

要最终确定 PSpice for TI 输入模型，请执行偏置点分析，以便在给定具体被评估运算放大器的情况下确定 V_{oa} 的稳态输出值。在 PSpice for TI 中执行偏置点分析需要创建偏置点仿真配置文件。创建仿真配置文件后，请转到“PSpice” → “Run”以执行分析。使用图 3-5 中所示的仿真配置文件执行偏置点分析

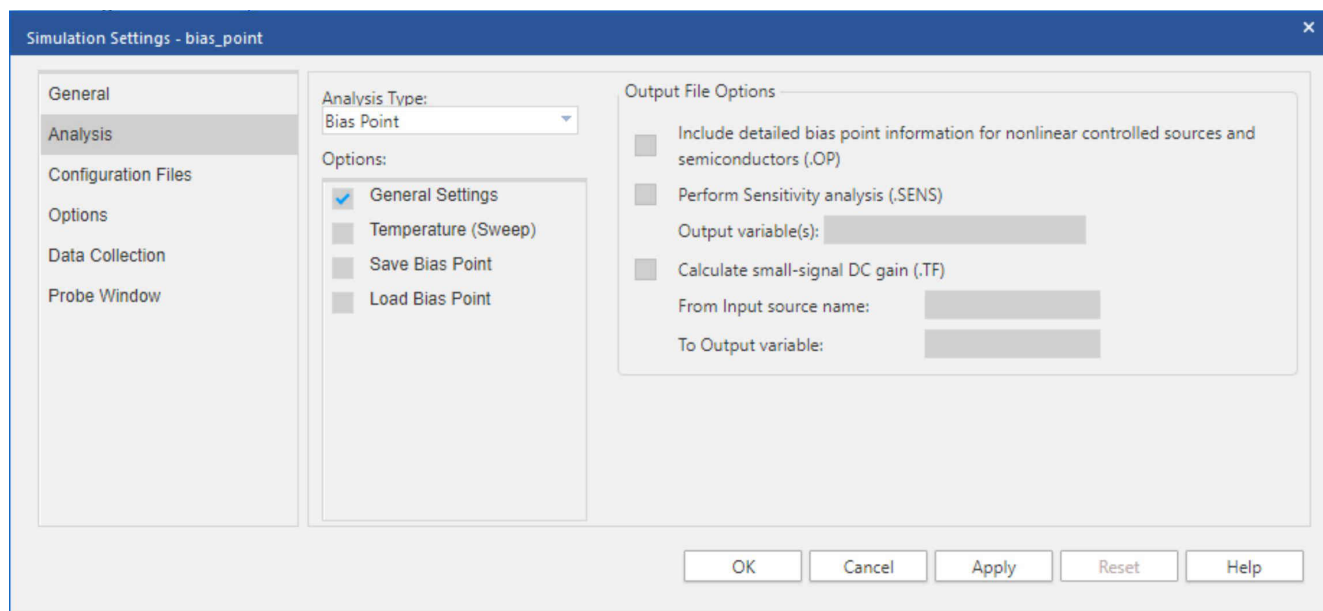


图 3-5. F280049 偏置点分析仿真配置文件示例

如果偏置点分析不收敛，则必须执行瞬态分析，以便在给定具体被评估运算放大器的情况下确定 V_{oa} 的稳态输出值。有关如何继续的说明，请关闭 PSpice for TI 仿真窗口，然后参阅节 3.6。如果偏置点分析收敛，请关闭 PSpice for TI 仿真窗口。使用 PSpice for TI 原理图捕获窗口左上角的菜单，转到“PSpice”→“Bias Points”，并启用偏置电压显示。偏置电压应如图 3-6 所示

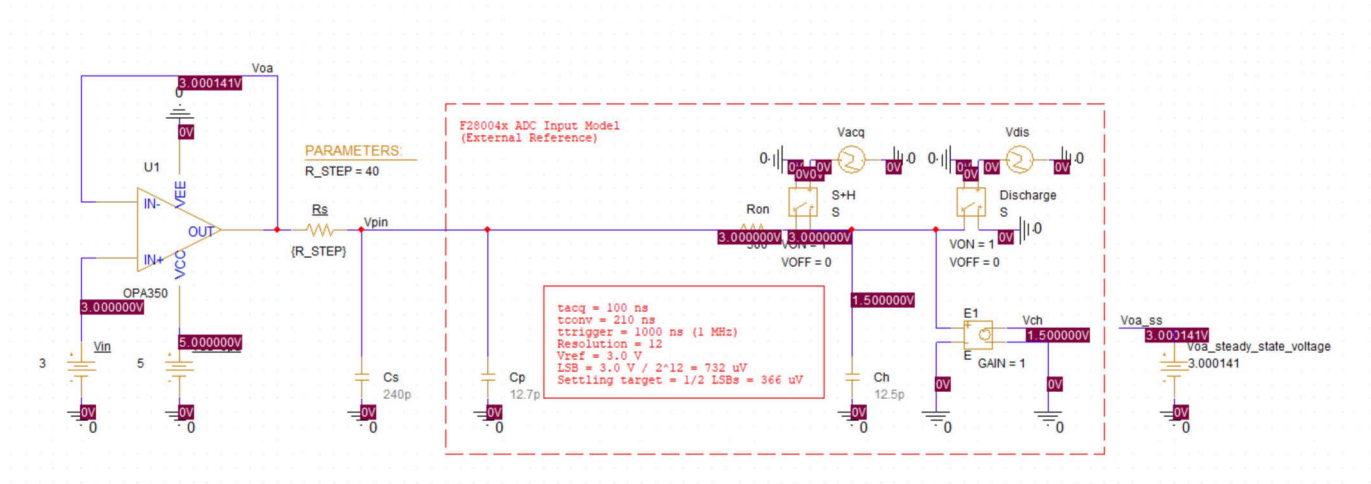


图 3-6. F280049 偏置点分析结果示例

具体被评估运算放大器输出端节点的偏置电压是 V_{oa} 的稳态输出值。对于此电路中的 OPA350，该过程可得出：

- $V_{oa} = 3.000141V$

将该值复制到 V_{oa_ss} 电压源。

CAUTION

确保 V_{oa} 的稳态输出值精确到微伏（即小数点后至少有六位数字）。有关如何优化仿真结果的指导，请参阅节 2.5。

由于在给定具体被评估运算放大器的情况下， V_{oa} 的稳态输出值已知，因此跳过下一节（节 3.6），并参阅节 3.7 了解有关如何继续的说明。

备注

本应用报告的其余部分假设偏置点分析不收敛。如果偏置点分析不收敛，则任何瞬态分析都必须跳过初始偏置点计算。因此，本应用报告中分析的后续瞬态跳过了初始偏置点计算。但是，如果偏置点分析收敛，则任何瞬态分析都不应跳过初始偏置点计算。因此，后续瞬态分析不应跳过初始偏置点计算。出于这一原因，获得的结果可能与本应用报告中提供的结果不同。

3.6 确定 V_{oa_ss} 的瞬态分析

要最终确定 PSpice for TI 输入模型，请执行瞬态分析，以便在给定具体被评估运算放大器的情况下确定 V_{oa} 的稳态输出值。在进行瞬态分析之前，先断开 R_{on} 左端与电路的连接，并将该端接地。请注意，运算放大器的输出端已经连接了电压电平标记。修改后的电路如图 3-7 所示。

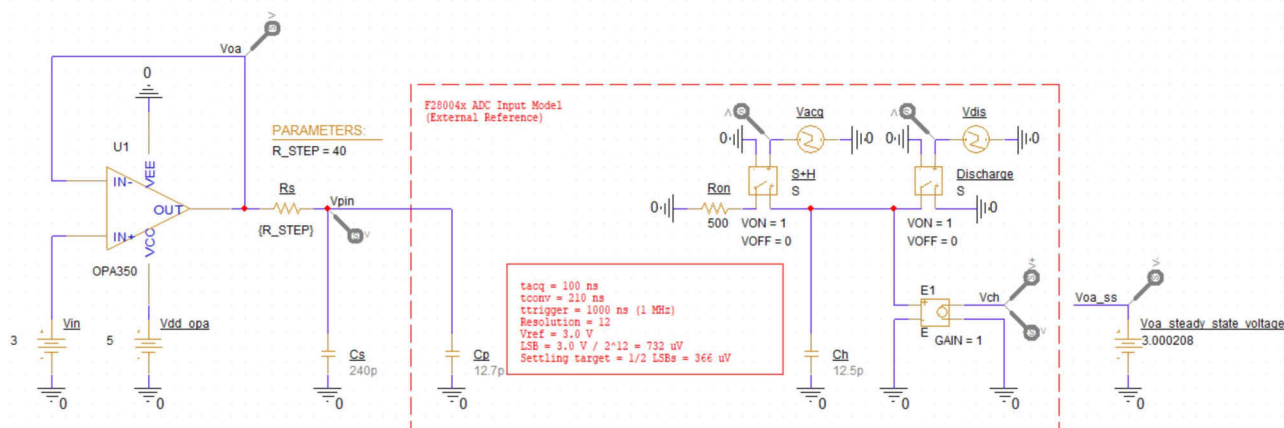


图 3-7. F280049 修改后的 PSpice for TI 电路示例

在 PSpice for TI 中执行瞬态分析需要创建时域（瞬态）仿真配置文件。创建仿真配置文件后，请转到“PSpice”→“Run”以执行分析。使用图 3-8 中所示的仿真配置文件执行瞬态分析。

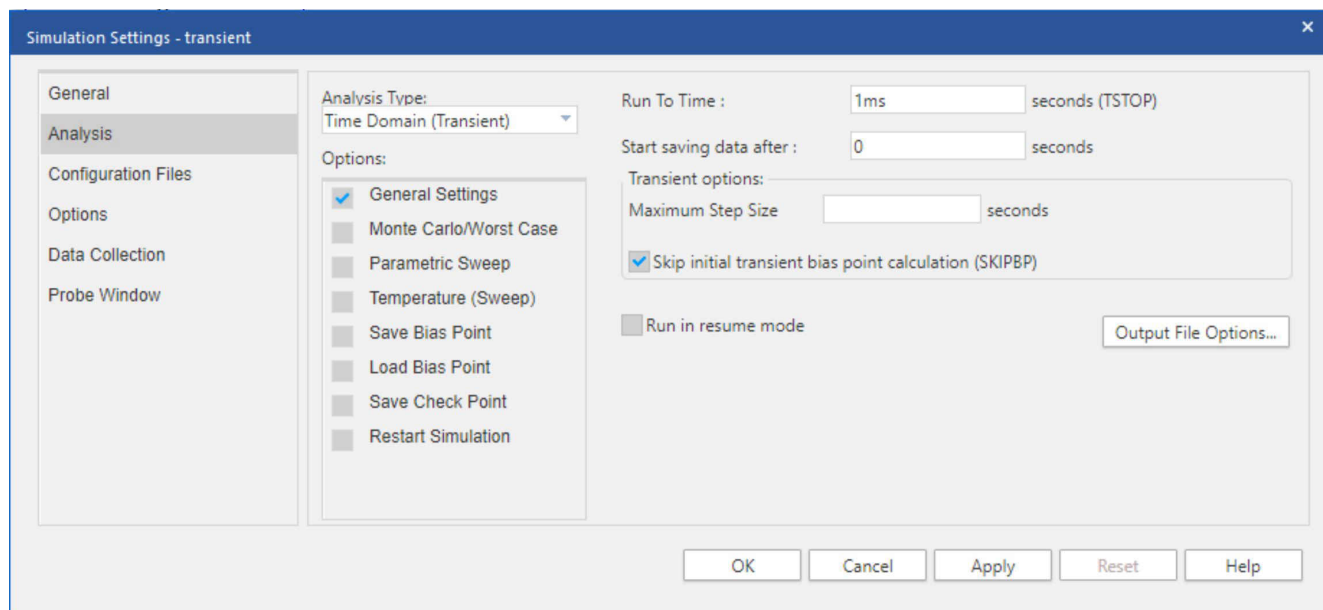


图 3-8. F280049 瞬态分析仿真配置文件示例

删除 V_{oa} 以外的所有输出，并将 V_{oa} 范围设置为 +2.95V 至 +3.05V。或者，使用 PSpice for TI 仿真窗口左上角的菜单转到“Window”→“Display Control...”，以访问 TI 提供的预设显示配置列表。恢复“Steady-State Analysis”显示配置。请注意，这些预设显示配置仅在与本应用报告捆绑的 PSpice for TI 工程中可用。然后使用探头光标测量 V_{oa} 的稳态输出值，如图 3-9 所示。

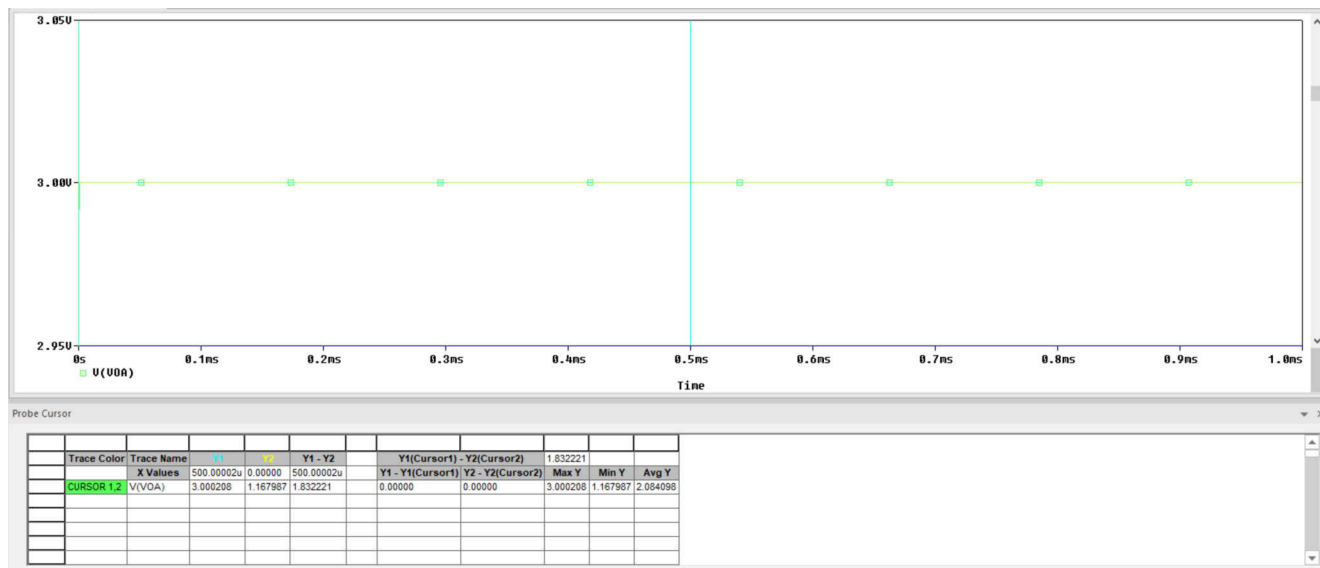


图 3-9. F280049 瞬态分析结果示例

对于此电路中的 OPA350，该过程可得出：

- $V_{oa} = 3.000208V$

将该值复制到 V_{oa_ss} 电压源。进行瞬态分析之后，将 R_{on} 的左端与接地端分离，然后将该端重新连接到电路。

CAUTION

确保 V_{oa} 的稳态输出值精确到微伏（小数点后至少有六位数字）。如有必要，请查看节 2.5 了解有关如何优化仿真结果的指导。

现在 V_{oa} 的稳态输出值已给定，具体被评估运算放大器便已知。有关如何继续的说明，请参阅节 3.7。

备注

请注意，本应用报告的其余部分假设偏置点分析不收敛。如果偏置点分析收敛，则任何瞬态分析都不应跳过初始偏置点计算。但是，如果偏置点分析不收敛，则任何瞬态分析都必须跳过初始偏置点计算。因此，本应用报告中分析的后续瞬态跳过了初始偏置点计算。

3.7 执行初始瞬态分析

现在电路已设置好用于仿真，第一步是运行基本瞬态分析，以确保一切正常运行并检查初始建立。在 PSpice for TI 中执行瞬态分析需要创建时域（瞬态）仿真配置文件。创建仿真配置文件后，请转到“PSpice”→“Run”以执行分析。

应在让电路稳定几个采样周期后捕获建立，因此选择 $2.5\mu s$ 至 $5.5\mu s$ 的时间周期，如图 3-10 所示。这样便可捕获完整的第 3 个和第 4 个采样周期（由于触发频率为 $1MHz$ ，因此每个周期为 $1\mu s$ ）。选择 $0.1ns$ 的最大步长，以生成足够精细的仿真结果。

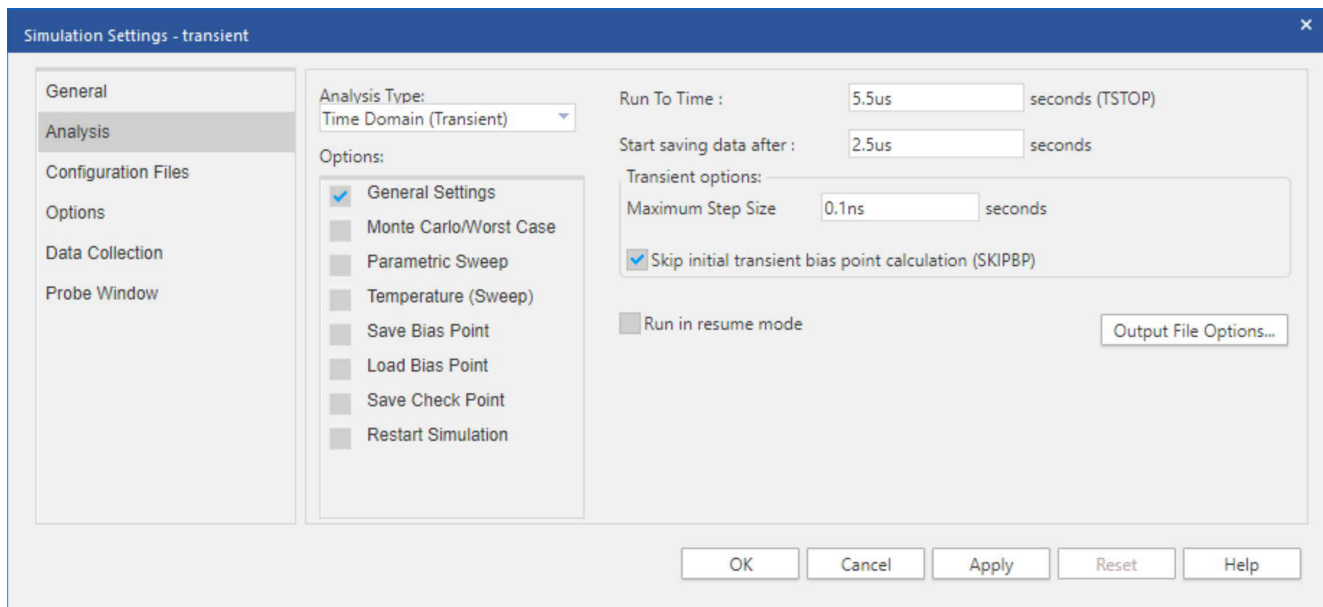


图 3-10. F280049 瞬态分析仿真配置文件示例

执行分析后，将输出波形分离到不同的图上。将 V_{acq} 范围设置为 0V 至 +1V。将 V_{ch} 范围设置为 0V 至 +4V。将 V_{dis} 范围设置为 0V 至 +1V。将 V_{error} 范围设置为 -10mV 至 +10mV。将 V_{oa} 范围设置为 +2.9V 至 +3.1V。最后，将 V_{pin} 范围设置为 +2.9V 至 +3.1V。或者，使用 PSpice for TI 仿真窗口左上角的菜单转到“Window”→“Display Control...”，以访问 TI 提供的预设显示配置列表。恢复“Transient Results”显示配置。请注意，这些预设显示配置仅在与本应用报告捆绑的 PSpice for TI 工程中可用。图 3-11 显示了瞬态仿真的输出波形。从该输出中可以清楚地看到：

- 放电和采集时间符合预期
- V_{oa} 和 V_{pin} 上的瞬变幅度合理（小于 100mV，因此信号建立将视为小信号事件）
- V_{error} 稳定至约 69μV，这完全处于 366μV 的误差目标范围内

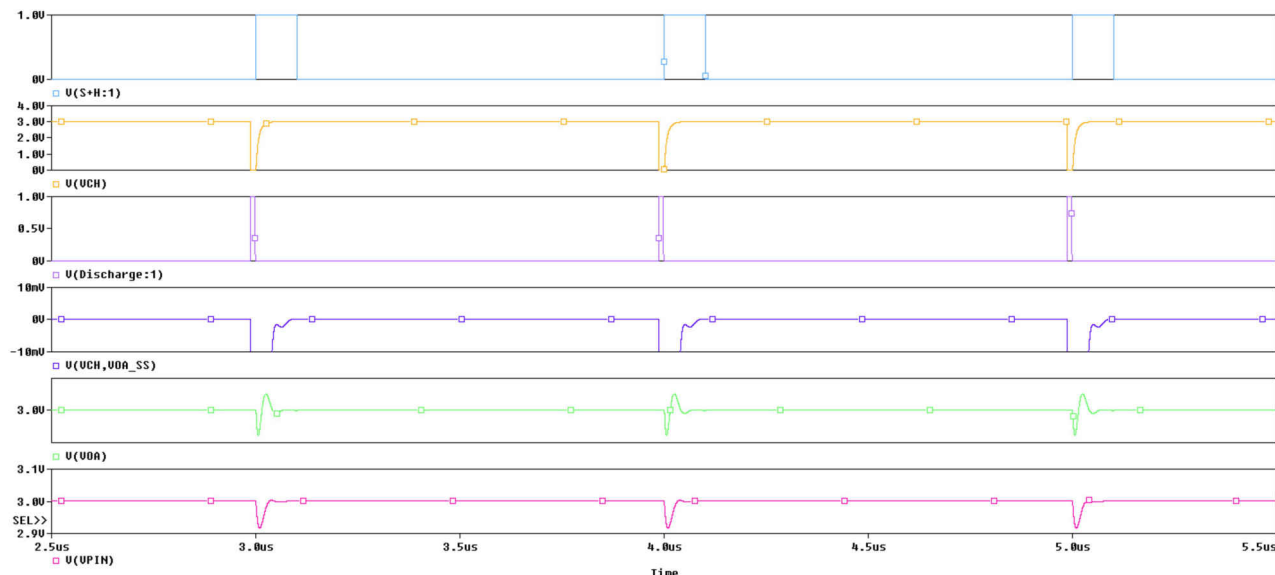


图 3-11. F280049 初始瞬态结果示例

3.8 优化 RC 滤波器值的迭代方法

现在，基本仿真已经表明仿真基本可行，可以执行扫描来优化 R_s 元件选择。

要执行扫描，请打开瞬态仿真配置文件并启用“Parametric Sweep”选项。在“Parametric Sweep”设置中，选择全局参数“R_STEP”作为扫描变量。然后选择起始值为 $17\ \Omega$ 、结束值为 $138\ \Omega$ 、增量为 $10\ \Omega$ 的线性扫描类型，如图 3-12 所示。

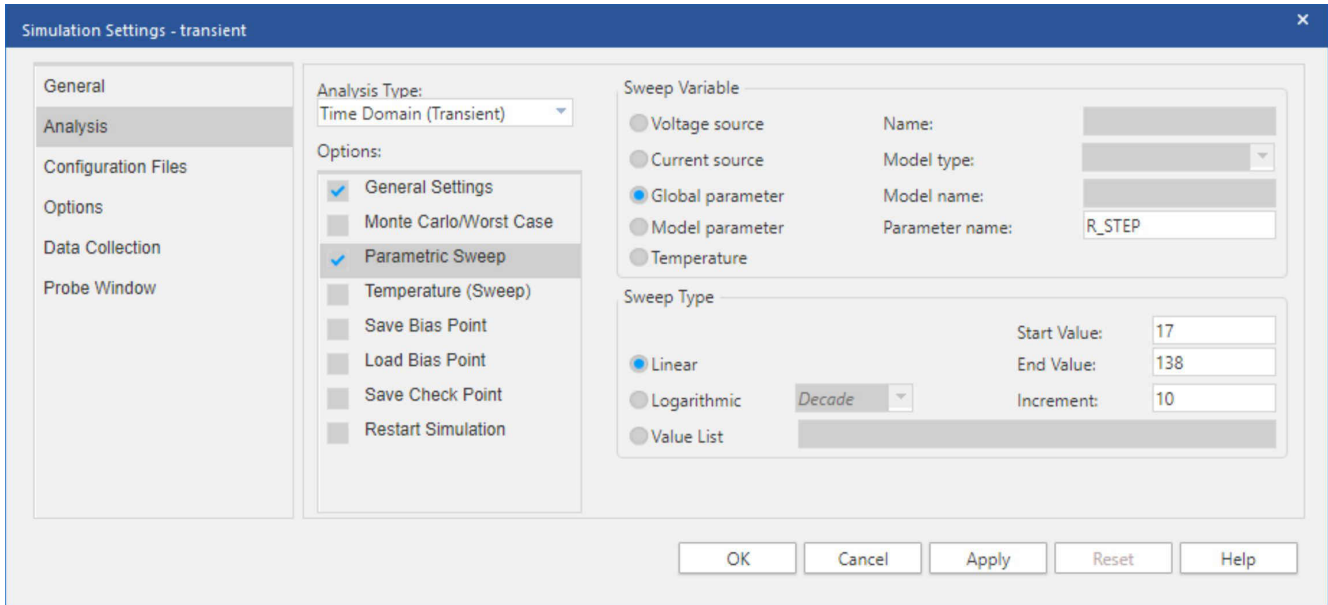


图 3-12. F280049 参数扫描设置示例

执行分析后，删除除 V_{error} 之外的所有输出，并将 V_{error} 范围设置为 -30mV 至 $+30\text{mV}$ 。此外，将波形限制为 $+2.95\mu\text{s}$ 至 $+3.15\mu\text{s}$ ，以便更好地观察建立情况。或者，使用 PSpice for TI 仿真窗口左上角的菜单转到“Window”→“Display Control...”，以访问 TI 提供的预设显示配置列表。恢复“Sweep Results”显示配置。请注意，这些预设显示配置仅在与本应用报告捆绑的 PSpice for TI 工程中可用。图 3-13 显示了 R_s 扫描后的瞬态仿真的输出。

从该输出可以得出结论：

- R_s 范围内的较高电阻值无法提供足够快的建立。例如， $107\ \Omega$ 仅在分配的 S+H 时间内稳定至 6.1mV ，而建立目标为 $366\mu\text{V}$
- 进一步调查的合理范围是 $20\ \Omega$ 至 $60\ \Omega$ 。确定 R_s 的理想值需要进一步分析，可能包括额外的仿真

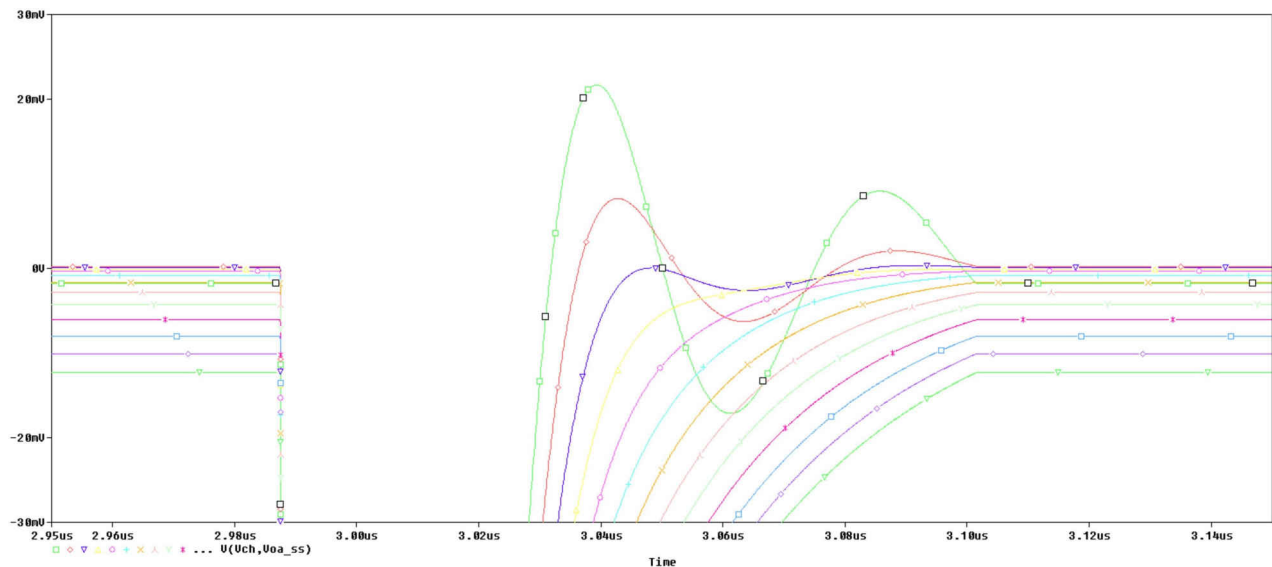


图 3-13. F280049 R_s 初始扫描结果示例

根据初始扫描结果，可能已经能够确定一个或多个可实现充分建立的 R_s 值。如果需要，可通过迭代地缩小线性扫描范围来进一步改进 R_s 元件选择。也可以执行值列表扫描来测试未以线性间隔的 R_s 值。图 3-14 中显示了值列表扫描的仿真配置文件示例。

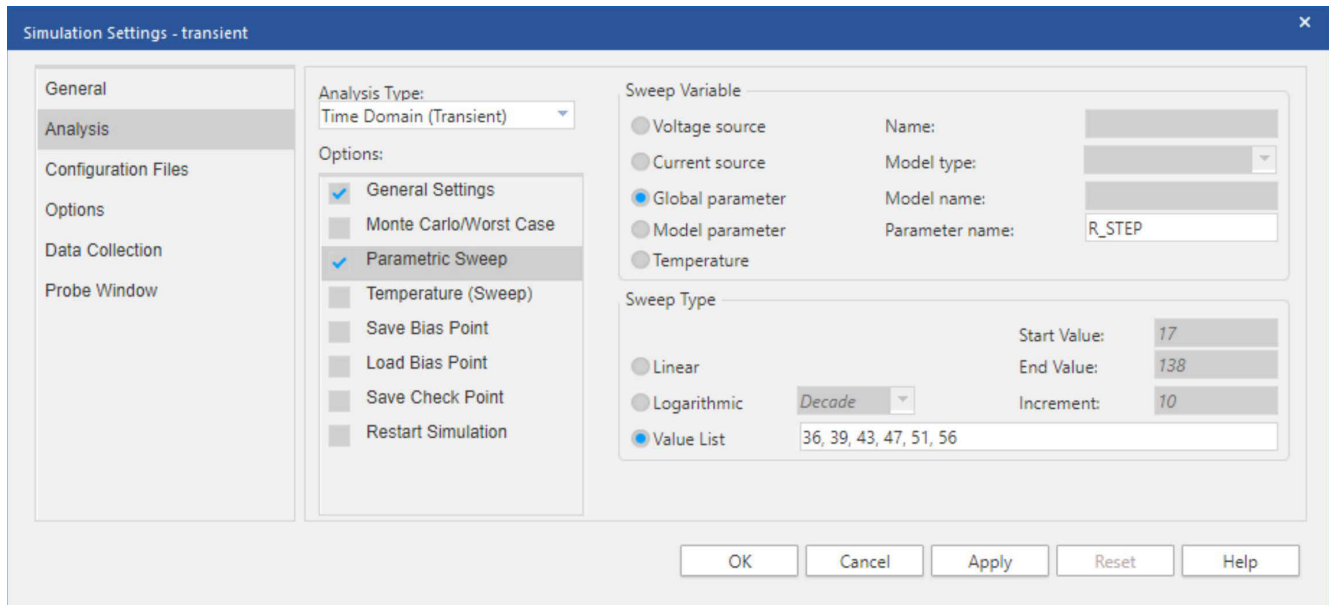


图 3-14. F280049 参数扫描设置示例

因此，可以选择 R_s 的最终值来实现充分建立。只要迭代次数足够， R_s 的最终值就可以达到理想状态。但是，节 3.9 介绍了一种使用性能分析工具更好地选择 R_s 理想值的替代方法。

3.9 执行最终瞬态分析

作为节 3.8 中介绍的迭代方法的替代方法，性能分析工具可用于更好地选择 R_s 的理想值。通过将性能分析工具应用于图 3-12 中显示的初始扫描结果，可以将建立误差表示为 R_s 值的函数。要启动性能分析工具，请使用 PSpice for TI 仿真窗口左上角的菜单转到“Trace”→“Performance Analysis...”。性能分析工具如图 3-15 所示。

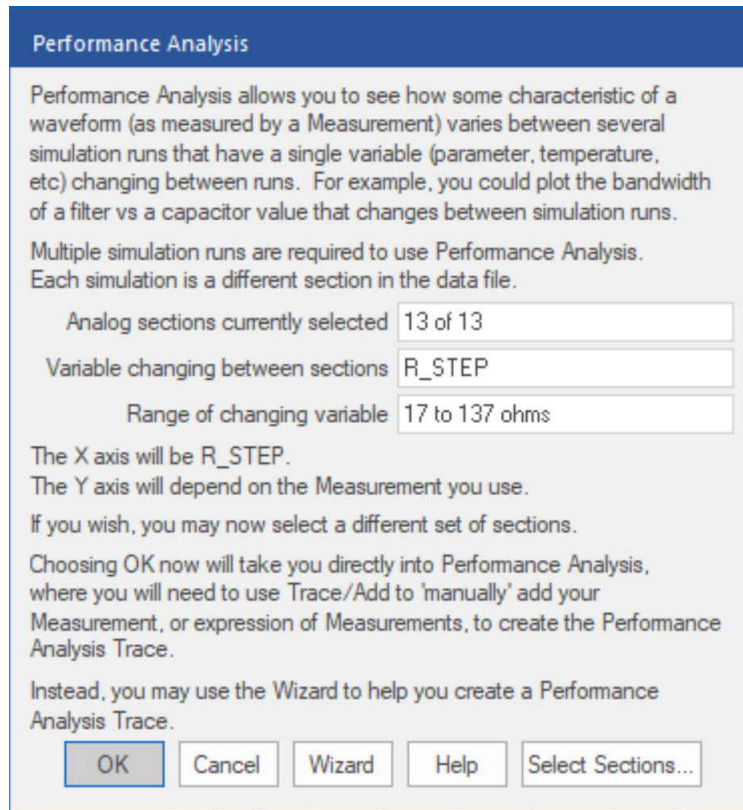


图 3-15. F280049 性能分析示例

使用“Wizard”创建性能分析迹线。当系统提示您选择测量值时，请选择“YatX”，如图 3-16 所示。当系统提示您完成测量表达式时，请输入 $V(V_{ch}, V_{oa_ss})$ 作为要搜索的迹线的名称，输入 $3.12\mu s$ 作为测量 Y 值的 X 值，如图 3-17 所示。请注意，该测量表达式测量 V_{error} 迹线在 $3.12\mu s$ 处的 Y 值， $3.12\mu s$ 恰好在采集窗口结束后。因此，该测量表达式测量建立误差。

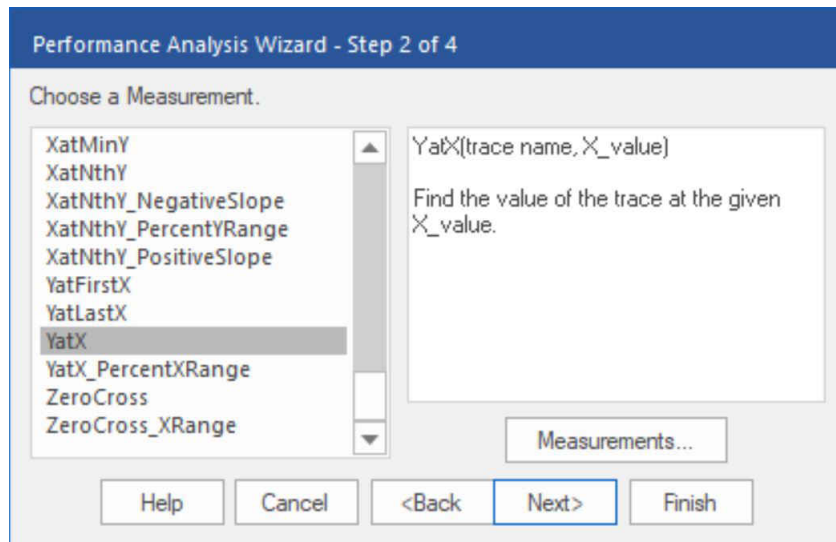


图 3-16. F280049 性能分析向导示例 - 第 2 步，共 4 步

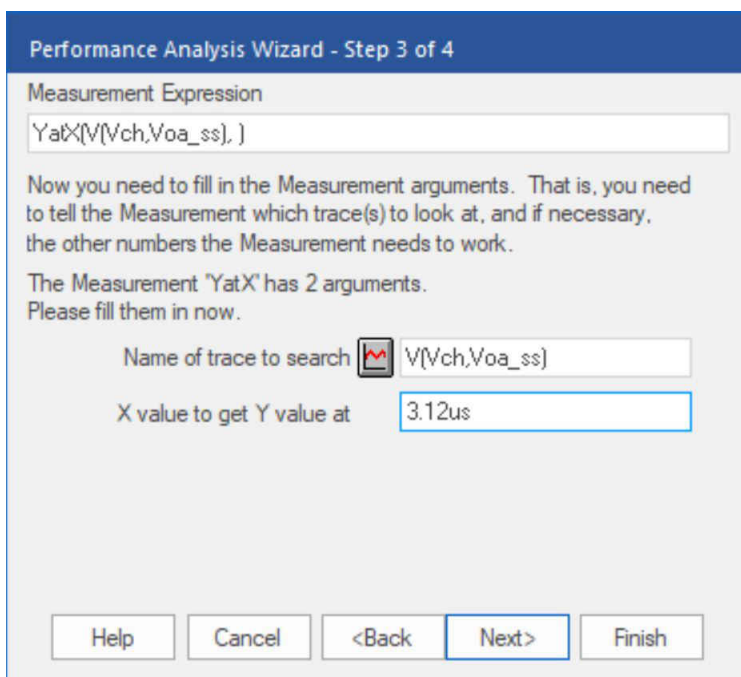


图 3-17. F280049 性能分析向导示例 - 第 3 步，共 4 步

使用“Wizard”完成操作后，系统将显示作为 R_s 值函数的建立误差性能分析迹线，如图 3-18 所示。请注意，建立误差标度已调整为显示 -2mV 至 +2mV 的范围。通过双击垂直轴并修改“Data Range”，可以根据需要进一步调整建立误差标度。

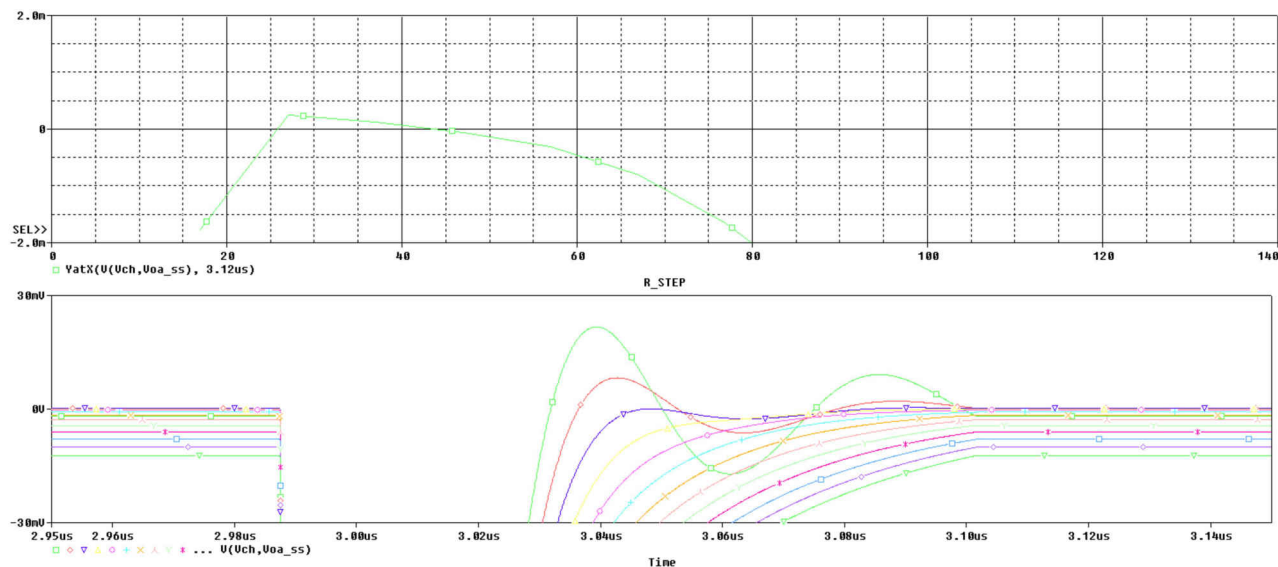


图 3-18. F280049 性能分析迹线示例

查看性能分析迹线可以发现，当 R_s 值约为 $26\ \Omega$ 时，建立误差约为零，而当 R_s 值约为 $44\ \Omega$ 时，建立误差再次约为零。但是，图 3-12 表明，相比较大 R_s 值，较小 R_s 值往往会导致较大的 V_{error} 振荡。较大的 V_{error} 振荡并不理想，因为采集窗口持续时间的微小变化会导致建立误差发生较大变化。此外， R_s 值接近 $26\ \Omega$ 时的性能分析迹线斜率比 R_s 值接近 $44\ \Omega$ 时的性能分析迹线斜率更陡。较陡的性能分析迹线斜率并不可取，因为 R_s 值的微小变化会导致建立误差的较大变化。因此，约为 $26\ \Omega$ 的 R_s 值被忽略，取而代之的是约为 $44\ \Omega$ 的 R_s 值。

根据性能分析迹线，介于 $24\ \Omega$ 和 $56\ \Omega$ (含) 之间的任何 R_s 值都将实现充分建立。因此，可以从 $24\ \Omega$ 至 $56\ \Omega$ (含) 范围内的一组标准电阻值中选择 R_s 的最终值，优先选择接近 $44\ \Omega$ 的标准电阻值。 R_s 的理想值是该范围内可提供最小建立误差的标准电阻值。根据性能分析迹线，该范围内提供最小建立误差的 5% 标准电阻值为 $43\ \Omega$ 。因此，选择 R_s 的最终值作为理想值，即 $43\ \Omega$ 。

3.10 执行最终瞬态分析

确定最终 R_s 和 C_s 值后，可以在未启用“Parametric Sweep”选项的情况下执行最终瞬态仿真，以验证元件选择。执行仿真后，将输出波形分离到不同的图上。将 V_{acq} 范围设置为 $0V$ 至 $+1V$ 。将 V_{ch} 范围设置为 $0V$ 至 $+4V$ 。将 V_{dis} 范围设置为 $0V$ 至 $+1V$ 。将 V_{error} 范围设置为 $-10mV$ 至 $+10mV$ 。将 V_{oa} 范围设置为 $+2.9V$ 至 $+3.1V$ 。最后，将 V_{pin} 范围设置为 $+2.9V$ 至 $+3.1V$ 。此外，将波形限制为 $+2.9\mu s$ 至 $+3.5\mu s$ ，以便更好地观察输出波形。或者，使用 PSpice for TI 仿真窗口左上角的菜单转到“Window”→“Display Control...”，以访问 TI 提供的预设显示配置列表。恢复“Final Transient Results”显示配置。请注意，这些预设显示配置仅在与本应用报告捆绑的 PSpice for TI 工程中可用。图 3-19 显示了此最终仿真的结果。从这些结果来看，建立似乎越过 $366\mu V$ 建立目标大约 $83ns$ ， $100ns$ 时的最终建立约为 $15\mu V$ 。最终应用电路应具有出色的 ADC 输入建立性能。

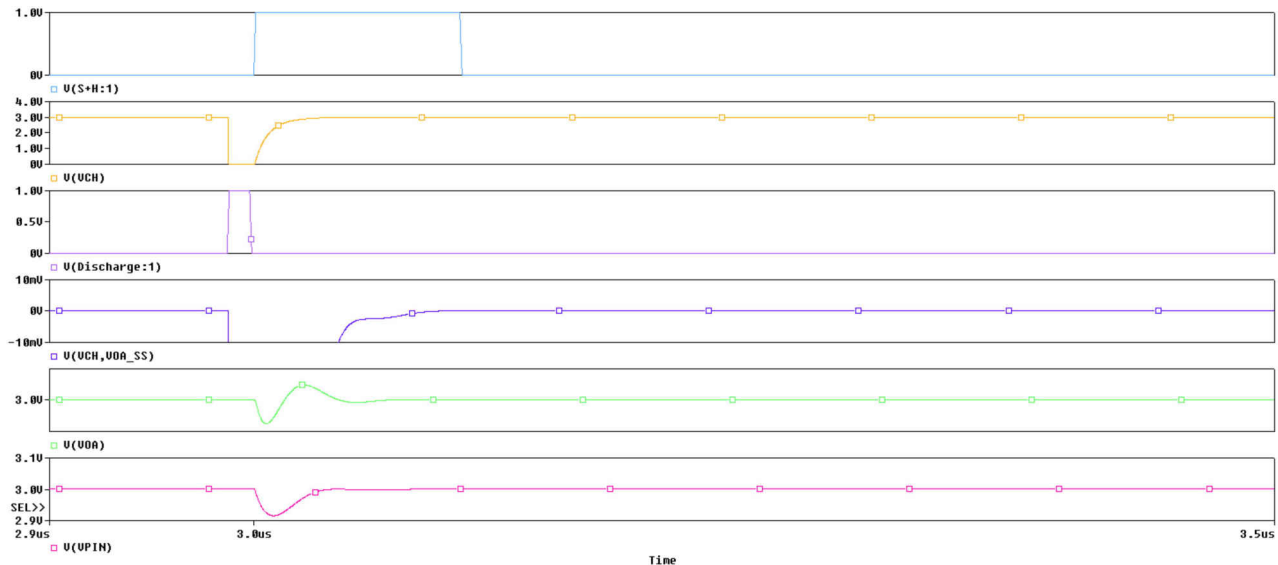


图 3-19. F280049 最终瞬态结果示例

3.11 进一步改进

总体而言，该设计似乎具有相当大的建立裕度。如果需要进一步优化，设计人员可以探索使用带宽稍低的运算放大器。或者，如果需要，仿真支持使用短于 $100ns$ 的 S+H 窗口。

另一项改进之处是通过有意增加 R_S 和 C_S 来解析电路。按照设计, R_S 和 C_S 电路的低通滤波器带宽约为 15MHz, 因此该电路可在一定程度上抑制高频噪声。通过有意增加 R_S 和 C_S , 可以降低滤波器带宽, 从而进一步抑制噪声。但要注意, R_S 和 C_S 电路通常不能提供真正的抗混叠滤波器, 因为这必然会导致建立时间常数太大而无法实现适当的建立。如果需要真正的抗混叠滤波器, 则应在 ADC 驱动级之前将其构建为单独的滤波器级。

CAUTION

即使仿真表明输入建立速度可能快于器件特定数据手册中指定的最小采集窗口, 也不要选择违反器件特定数据手册最小采集窗口时间的采集窗口。

3.12 进一步仿真

如节 2.7 所示, 选择最终元件后, 可以执行额外的仿真以进一步验证设计。该设计经过多个周期的验证, 具有更长的 S+H 持续时间 (未显示)。在这些额外仿真中没有发现任何问题。

3.13 已完成的工作表

表 3-1 显示了 F280049 (包含 OPA2350) 的已完成工作表示例。

表 3-1. ADC 输入建立设计工作表 (F280049 示例)

符号	说明	值	说明
V_{fs}	满量程电压范围	3.0V	在外部基准模式下, 这是向 VREFHI 引脚提供的电压 (通常为 3.0V 或 2.5V) 在内部基准模式下, 这是基于所选基准模式的有效输入范围 (通常为 3.3V 或 2.5V)
N	目标建立分辨率 (位)	12 位	通常与 ADC 的分辨率相同 可以采用较低的目标分辨率来降低输入设计要求
V_{errmax}	最大误差目标	366uV	$V_{fs} / 2^{N+1}$ 使用模拟工程师计算器获取: ADC SAR 驱动器
t_{sh}	S+H 时间	100 ns	输入目标 S+H 时间 (如果已知) 较长的 S+H 时间会导致对驱动运算放大器的带宽要求不那么严格。 可针对预先确定的运算放大器选择或预先确定的 R_S 和 C_S 进行求解
R_{on}	ADC 开关电阻	500 Ω	在数据手册表“输入模型参数”中提供 TI 高精度实验室培训将其称为 “ R_{sh} ”
C_h	ADC S+H 电容	12.5pF	在数据手册表“输入模型参数”中提供 TI 高精度实验室培训将其称为 “ C_{sh} ”
C_p	ADC 引脚寄生电容	12.7 pF	在数据手册表“每通道寄生电容”中提供
C_S (range)	源电容范围	240pF (120pF 至 360pF)	使用模拟工程师计算器获取: ADC SAR 驱动器。 TI 高精度实验室培训将其称为 “ C_{filt} ”
R_S (range)	源电阻范围	17 Ω 至 138 Ω	使用模拟工程师计算器获取: ADC SAR 驱动器。 TI 高精度实验室培训将其称为 “ R_{filt} ”
BW_{OPA}	ADC 驱动器运算放大器最小带宽	37 MHz	使用模拟工程师计算器获取: ADC SAR 驱动器。
运算放大器	选择的运算放大器器件型号	OPA2350	在此处记录所选的运算放大器
V_{oa_ss}	稳态运算放大器输出电压	3.000014 V	从 V_{oa} 节点的直流节点分析生成 复制到 V_{oa_ss} , 然后继续进行其他仿真
C_S (final)	最终源电容	240pF	从仿真选择的最终 C_S 。 TI 高精度实验室培训将其称为 “ C_{filt} ”
R_S (final)	最终源电阻	27 Ω	从仿真选择的最终 R_S 。 TI 高精度实验室培训将其称为 “ R_{filt} ”
BW_{RSCS}	来自 C_S 和 R_S 的滤波器带宽	2.5MHz	$1/(2\pi \cdot C_S \cdot R_S)$ 备注 为了实现适当的建立, 滤波器带宽将必然高于 $\frac{1}{2}$ 采样频率, 因此 C_S 和 R_S 的组合通常不会用作抗混叠滤波器。

表 3-1. ADC 输入建立设计工作表 (F280049 示例) (continued)

符号	说明	值	说明
V _{err}	实际建立误差	17 μ V	确保 V _{err} < V _{errmax} 否则, 需要对 C _S 、R _S 或驱动放大器的选择进行额外迭代

4 使用现有电路或额外限制

本报告中探讨的 TI 高精度实验室设计方法首先假设已知 S+H 窗口, 并且尚未确定运算放大器以及 R_S 和 C_S。如果已选择其中一个或多个元件或需要对其进行限制, 以下各节提供了一些指导。

4.1 现有电路

当然, 可以使用提供的 ADC 输入模型和仿真方法对完全确定的输入驱动电路进行仿真, 以检查其建立情况。

请注意, 对于不是使用 TI 高精度实验室方法设计的现有电路, 验证多个采样周期内的性能尤为重要。例如, 在使用“电荷共享”设计方法设计输入时。

4.1.1 电荷共享的简要概述

通常, 随着 C_S 容值增加, 建立时间也会增加。通常, C_S 容值非常大并不是有利的。但是, 如果 C_S 变得足够大, 它可以完全提供将 C_h 驱动至建立误差目标范围内所需的所有电荷, 而不管 R_S 阻值是多少。

外部源仍需要在采样间隔时间内通过 R_S 对 C_S 进行充电, 否则每次采样将缓慢耗尽 C_S 上的电压。这会导致采样率受 R_S 电阻大小的限制。

对于 1/2LSB 建立, 当 C_S = 2^(N+1) × C_h 时 C_S 达到临界值。

4.1.2 电荷共享示例

在图 4-1 的示例电路中, C_S 已设置为大约 2^(N+1) × C_h, 采样触发频率设置为 100kHz。

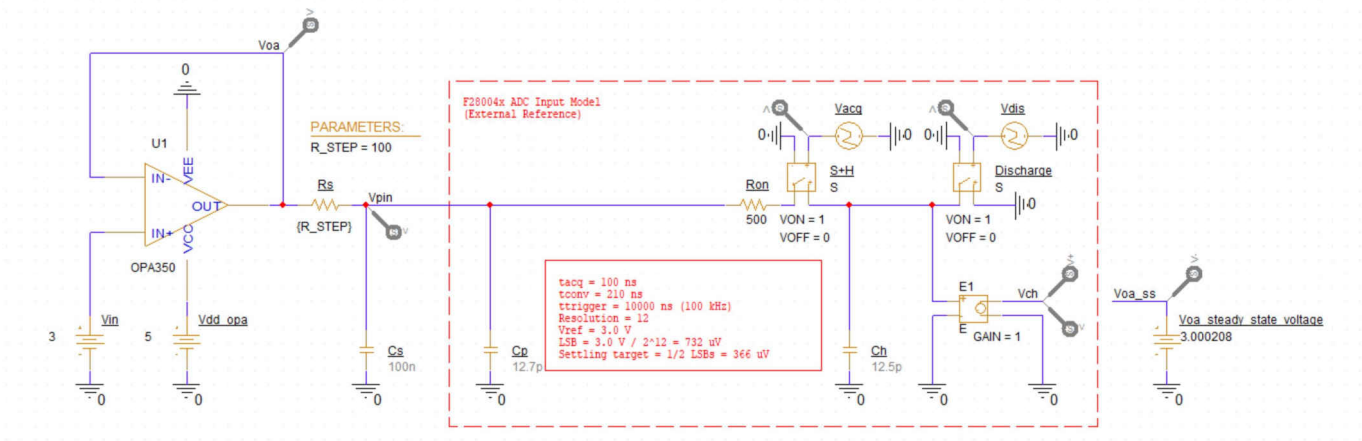


图 4-1. 利用电荷共享的示例电路

图 4-2 显示了 R_S 为 100 Ω 时许多采样周期内的引脚瞬态。可以看到, 引脚上的电压 (即直接施加在 C_S 上的电压) 在两次转换之间恢复到 1/2LSB 以内。只要采样率保持在 100ksps 或更低, 这将使用一个非常短的 S+H 窗口来实现良好的 ADC 输入建立。

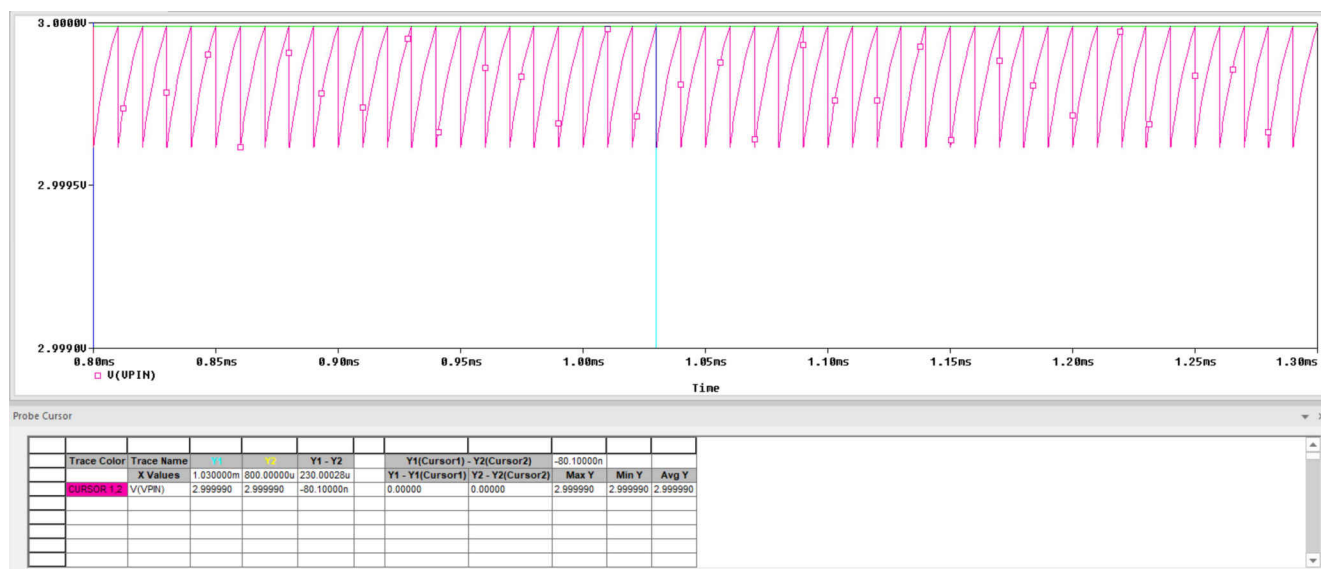


图 4-2. C_s 电压 ($R_s = 100 \Omega$)

现在考虑图 4-3 中的结果。 R_s 已设置为 $1k \Omega$ 。在这种情况下， C_s 上的电压会在每次采样中缓慢耗尽，直到达到平衡。在平衡状态下，引脚电压的误差约为 $3.5mV$ 。尽管 C_h 将在 S+H 阶段快速匹配 C_s 电压，但 C_s 上的电压仍有显著误差。

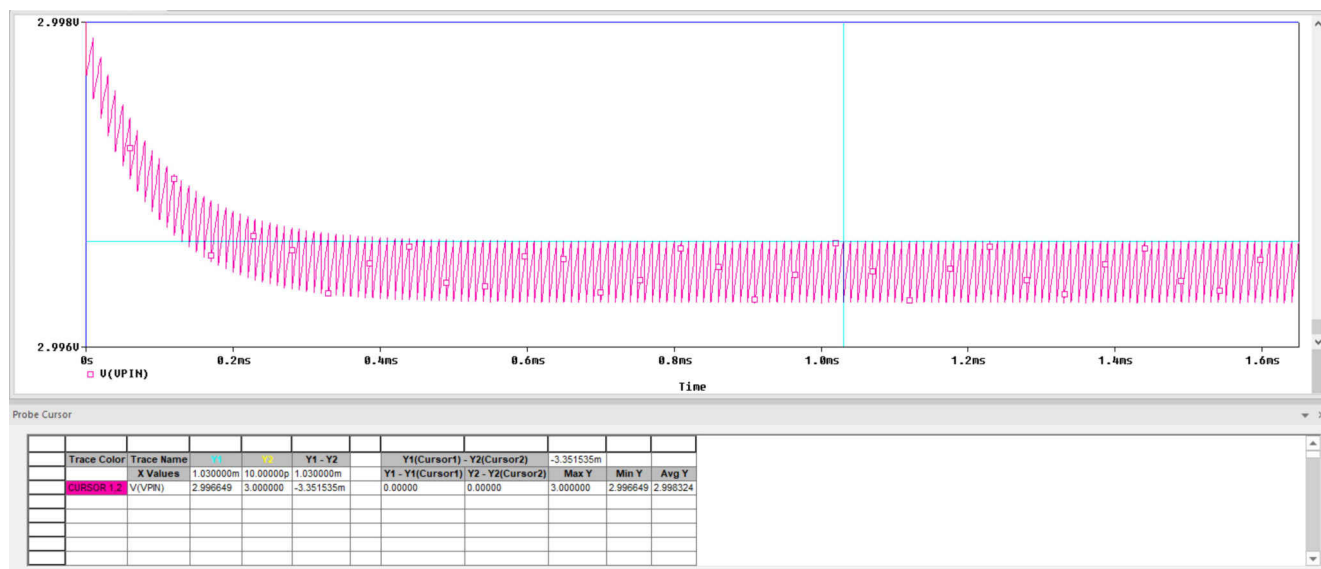


图 4-3. C_s 电压 ($R_s = 1k \Omega$)

要解决该误差，需要降低 R_s 或降低采样率。

本示例强调了在许多周期内仿真具有大 C_s 或 R_s 的电路的重要性。

4.1.3 用于电荷共享的其他资源

关于电荷共享设计方法的进一步讨论超出了本应用报告的范围。但是，[C2000 ADC 的电荷共享驱动电路 \(使用 TINA-TI 仿真工具\)](#) 和 [C2000 ADC 的电荷共享驱动电路 \(使用 PSPICE-FOR-TI\)](#) 提供了关于电荷共享驱动电路的更多详细信息。请注意，虽然这两个应用报告涵盖的内容相同，但一个使用 TINA-TI 基于 SPICE 的模拟仿真程序，另一个使用 PSpice for TI 设计和仿真工具。

4.2 预选运算放大器

如果已经为输入驱动器选择了运算放大器，则继续进行设计的简单方法是迭代模拟工程师计算器中的采集时间设置，直到所需的带宽与预选运算放大器的带宽相匹配。然后，设计人员可以记录 C_s 和 R_s 元件范围，并按照现有方法继续进行设计（假设预测的 S+H 满足应用的延迟或采样率要求）。

4.2.1 预选运算放大器示例

设计人员希望将 OPA2320 用作 ADC 输入的驱动运算放大器（也许 OPA2320 有一个备用通道在 PCB 上执行其他功能）。OPA2320 的带宽为 20MHz，相关 ADC 的 C_h 值为 12.5pF。通过迭代计算器的采集窗口输入，可以找到图 4-4 中所示的解决方案，因此可以将 185ns 的 S+H 窗口作为目标。

Select Type
Single Ended #1

Resolution: 12
Csh: 12.5p F

Full Scale Range: 3 V
Acquisition Time: 185n s

Rfilt Min: 32 Ohm
Cfilt: 240p F

Rfilt Max: 256 Ohm
Optional
Cmin: 120p F
Cmax: 360p F

Gain Bandwidth: 19.9M Hz

Max Error Target: 366.2u V

OK Help

图 4-4. OPA2320 的模拟工程师计算器输出

4.3 预选 R_s 和 C_s 值

如果已预选两个外部源元件，则可以通过使用理想源或具有很高带宽的运算放大器来仿真电路，从而确定目标采集时间。然后可以使用该初始目标采集时间在选择运算放大器方面提供一些指导，从而可以照常进行设计改进。

4.3.1 ADC 采集时间分析解决方案

要根据给定的 R_s 和 C_s 选择（以及器件特定数据手册中的输入模型参数）来估算 ADC S+H 时间，一种快速方法是使用 [方程式 1](#) 和 [方程式 2](#) 中显示的公式：

$$T = (R_s + R_{on})C_h + R_s(C_s + C_p)$$

$$k = \ln\left(\frac{2^N}{\text{target settling error}}\right) - \ln\left((C_s + C_p)/C_h\right)$$

$$\text{acquisition time} = Tk \tag{1}$$

4.3.2 ADC 采集时间分析解决方案示例

- $n = 12$ 位
- $R_{on} = 500 \Omega$
- $C_h = 12.5 \text{ pF}$
- $C_p = 12.7 \text{ pF}$
- 目标建立误差 = $1/2 \text{ LSB}$
- $R_s = 180 \Omega$
- $C_s = 150 \text{ pF}$

$$T = (180 \Omega + 500 \Omega)12.5 \text{ pF} + 180 \Omega(150 \text{ pF} + 12.7 \text{ pF}) = 37.8 \text{ ns}$$

$$k = \ln\left(\frac{4069 \text{ LSBs}}{0.5 \text{ LSBs}}\right) - \ln\left(\frac{(150 \text{ pF} + 12.7 \text{ pF})}{12.5 \text{ pF}}\right) = 6.4 \text{ time constants}$$

$$\text{acquisition time} = 37.8 \text{ ns} \times 6.4 = 242 \text{ ns} \tag{2}$$

5 总结

输入建立是 ADC 驱动电路的重要设计注意事项。如果不进行适当的评估，可能会发生失真和存储器串扰误差，从而导致检测性能和精度下降。

通过使用 [TI 高精度实验室 - SAR ADC 输入驱动器设计](#) 视频系列中提供的优秀资源、[模拟工程师计算器](#) 以及本应用报告中的指导，可以系统地评估输入建立，以确保 ADC 驱动电路具有适当的建立性能。

6 参考文献

- [TI 高精度实验室 - SAR ADC 输入驱动器设计](#)
- [模拟工程师计算器](#)
- [TINA-TI](#)
- [PSPICE-FOR-TI](#)
- 德州仪器 (TI)： [C2000 MCU 的 ADC 输入电路评估 \(使用 TINA-TI 仿真工具\)](#)
- 德州仪器 (TI)： [C2000 ADC 的电荷共享驱动电路 \(使用 TINA-TI 仿真工具\)](#)
- 德州仪器 (TI)： [C2000 ADC 的电荷共享驱动电路 \(使用 PSPICE-FOR-TI\)](#)
- 德州仪器 (TI)： [缓解 ADC 存储器串扰的方法](#)
- 德州仪器 (TI)： [TMS320F28004x 微控制器数据手册](#)

重要声明和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做任何明示或暗示的担保，包括但不限于对适销性、某特定用途方面的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他功能安全、信息安全、监管或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的应用。严禁对这些资源进行其他复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。您应全额赔偿因在这些资源的使用中对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，TI 对此概不负责。

TI 提供的产品受 [TI 的销售条款](#) 或 [ti.com](#) 上其他适用条款/TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

邮寄地址：Texas Instruments, Post Office Box 655303, Dallas, Texas 75265

Copyright © 2023，德州仪器 (TI) 公司