

IBIS 模型之第 2 部分：IBIS 模型总质量的确定

作者：**Bonnie C. Baker**，德州仪器 (TI) 高级应用工程师

本文是三部曲系列文章的第 2 部分。第 1 部分（请见参考文献 1）讨论了数字输入/输出缓冲器信息规范 (IBIS) 仿真模型的基本要素，以及它们在 SPICE 环境中的产生过程。本文（第 2 部分）将研究 IBIS 模型正确性检测。第 3 部分将刊登在后续《模拟应用期刊》上，其将介绍 IBIS 用户如何对印刷电路板 (PCB) 开发阶段出现的信号完整性问题进行研究。

IBIS 模型可产生自某个集成电路 (IC) 的 SPICE 环境，也可以产生自实验室。这两种情况下，建模工程师都要收集 DC 数据，以产生各种片上数字缓冲器的电源钳位、接地钳位、上拉和/或下拉数据。接下来，建模工程师将收集输出缓冲器瞬态或者 AC 升降时间相关数据。这些数据收集过程的更多详情，请见参考文献 1。IBIS 模型的瞬态数据模拟输出缓冲器的时间特性。建模工程师通过一系列的电源状态和结温获取模型数据。更多的改进包括增加了 IC 封装特性、缓冲器输入芯片电容以及环境文档 (surrounding documentation)。一旦有了 IBIS 模型，工程师便对其进行检查，旨在验证几个质量阶段，然后生成一份将 IBIS 模型同 SPICE 模拟或基准数据相关联的验证报告。

一直以来，IBIS 模型都是出了名的质量差，因为许多 IBIS 用户从厂商那里得到的模型都是一些不正确的模型。这些错误包括简单的格式错误，以及模型根本没有真正描述 IC 的缓冲器行为等。德州仪器 (TI) 致力于制造高品质、可靠的 IBIS 模型，以让客户进行信号完整性研究。

IBIS 开放式论坛的质量工作小组和模型检测工作小组已经制定了一个使用四个 QC 阶段的质量控制 (QC) 过程，“IBIS 质量规范” 2.0 版对其进行了介绍（请参见参考文献 2）。

IBIS 工作小组均为 TechAmerica、标准与技术委员会的下属委员会。业内其他模型用户和模型制作人员也都对这一 QC 过程做出了贡献。这四个 QC 阶段为：

- 阶段 0：使用 IBIS 剖析器进行的自动质量检查
- 阶段 1：手动和目视模型质量检查
- 阶段 2：SPICE 或硬件测试数据关联
- 阶段 3：SPICE 和硬件测试数据同时关联

TI 对其 IBIS 模型实施阶段 0、1 和 2，在阶段 2 将其同 SPICE 关联。本文将介绍实施阶段 0、1 和 2 的一些细微差别（仅与 SPICE 关联）。

阶段 0：IBIS 剖析器

IBIS 模型 QC 的第一个阶段是以一个 IBIS 剖析器程序开始的。这种计算机程序提供了重要的第一阶段模型检查，其检查 IBIS 文件的 IBIS 模型数据有效性

以及语法错误。这种程序可以创建与受检查 IBIS 模型相关的“错误”、“告警”和/或“注意”消息，但是创建一个没有这些消息的 IBIS 模型也是可能的。

例如，剖析器程序 IBISCHK4 寻找非法的文本类型、验证模型类型，确保所有正确变量对每一个模型有效，确认数据的端点，并执行其他辅助检查。对某个 IBIS 模型运行 IBISCHK4 程序的结果举例显示在下面一栏中。

剖析器检查创建的“错误”、“警告”和“注意”消息，让 IBIS 模型设计人员有机会找出错误并轻松地校正这些错误。在质量检查之初，对某个 IBIS 模型运行剖析器是必要的；但是，剖析器并不提供 IBIS 模型错误的详尽清单，也并不一定能够保证模型的良好性。

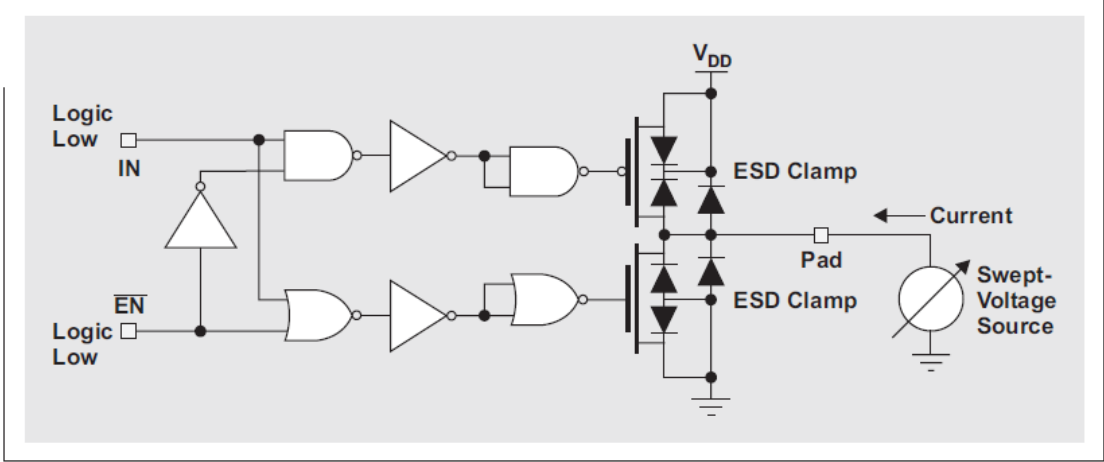
Example IBISCHK4 results

```
ERROR (line 137) - Invalid Model_type ("InputX")
WARNING (line 154) - Vinl should not be specified for model type (null)
WARNING (line 155) - Vinh should not be specified for model type (null)
ERROR - Model 'sdi_3p3': Ramp Not Defined

Errors : 2
Warnings: 2

File Failed
```

图 1 三态缓冲器的下拉 I-V 测试电路



IBIS 开放式论坛网站 (<http://www.eda.org/ibis>) 的剖析器免费软件程序可用于 dos32、hp_111、Linux[®] 和 Sun[®] 平台。到目前为止，可用的剖析器共有四种：IBISCHK2、IBISCHK3、IBISCHK4 和 IBISCHK5。每种剖析器程序的层次号码分别对应文件 IBIS 规范的版本号。例如，最新的剖析器程序 IBISCHK5 对应 IBIS 规范的 5.0 版(请参见参考文献 3)。TI 使用 IBISCHK4 和 IBISCHK5 来验证其 IBIS 模型。

阶段 1：目视检查

IBIS 模型的目视 QC 检查包括文本和波形手动检查。这种目视检查期间，建模工程师要验证 IBIS 模型的报头是否包含准确的信息。例如，报头必须有产品系列所列范围内的正确产品，同时必须有正确的建模注释和注解。报头之后，模型必须有合理的封装寄生以及明确定义的选择符输入，还必须直接映射产品说明书中的参数，包括缓冲器类型、负载状态、输入缓冲器阈值以及工作或指定温度范围。

另外，DC 和瞬态波形必须符合 IBIS 标准。DC 波形的测量电压跨度范围为 $-V_{DD}$ 到 $+2 \times V_{DD}$ （其中 V_{DD} 为缓冲器的电源电压）。这一范围中，输入和输出电流不得超出 2A。请注意，在 IBIS 模型报头的注释部分，解释了出现 2A 以上过大电流的原因。图 1 显示了输出缓冲器的下拉测试配置，而图 2 则显示了某个 IBIS 模型所产生下拉曲线的一个例子。

图 2 DAC7718 输出缓冲器的下拉 IBIS 图

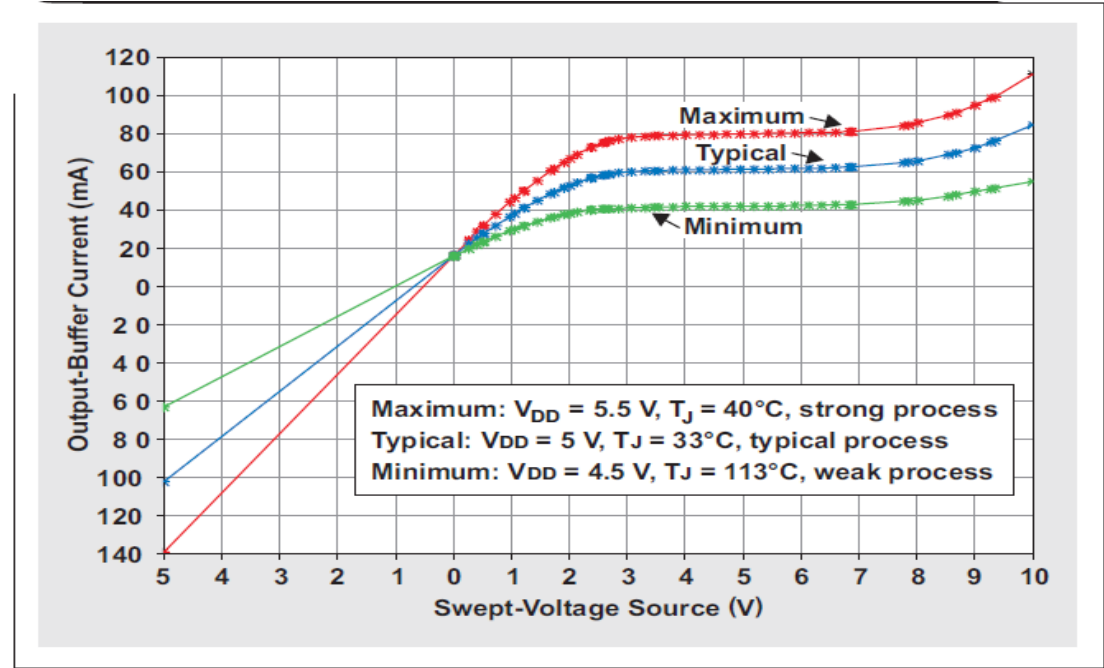


图 3 输出缓冲器的下降沿 V-t 测试电路

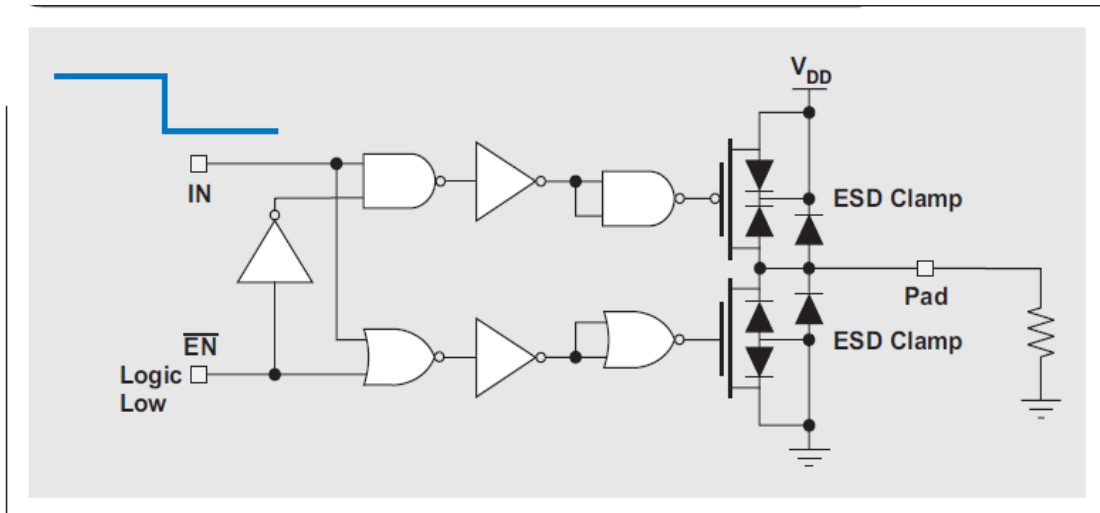


图 3 显示了一个输出缓冲器瞬态下降沿的正确测试电路结构。焊盘之后的电阻器一般为 50Ω ；但是，根据产品说明书中所称 IC 要求的不同，其可以为其他不同值。

图 4 显示了一个 IBIS 模型的典型下降沿数据。该图中，初始输出电压保持恒定至少两个时间点。数据在大约总 X 轴时间的 $2/3$ 以内完成了其向最终值的移动。

IBIS 模型的文本和图形检查可在参考文献 2 中找到，里面有详细的介绍。

阶段 2：与 SPICE 或者硬件测试数据关联

IBIS 模型的主要用途便是仿真时序和信号完整性，包括 IC PCB 的过冲/欠冲或者串扰行为。就阶段 2 QC 而言，建模工程师会将这种环境中的 IBIS 模型性能与器件的 IC SPICE 仿真或测试数据进行对比。工程师为具体受测产品的典型电路板传输线选择正确的模型，然后通过优值和品质因数对比测试结果。

图 4 DAC7718 输入缓冲器下降时间分析

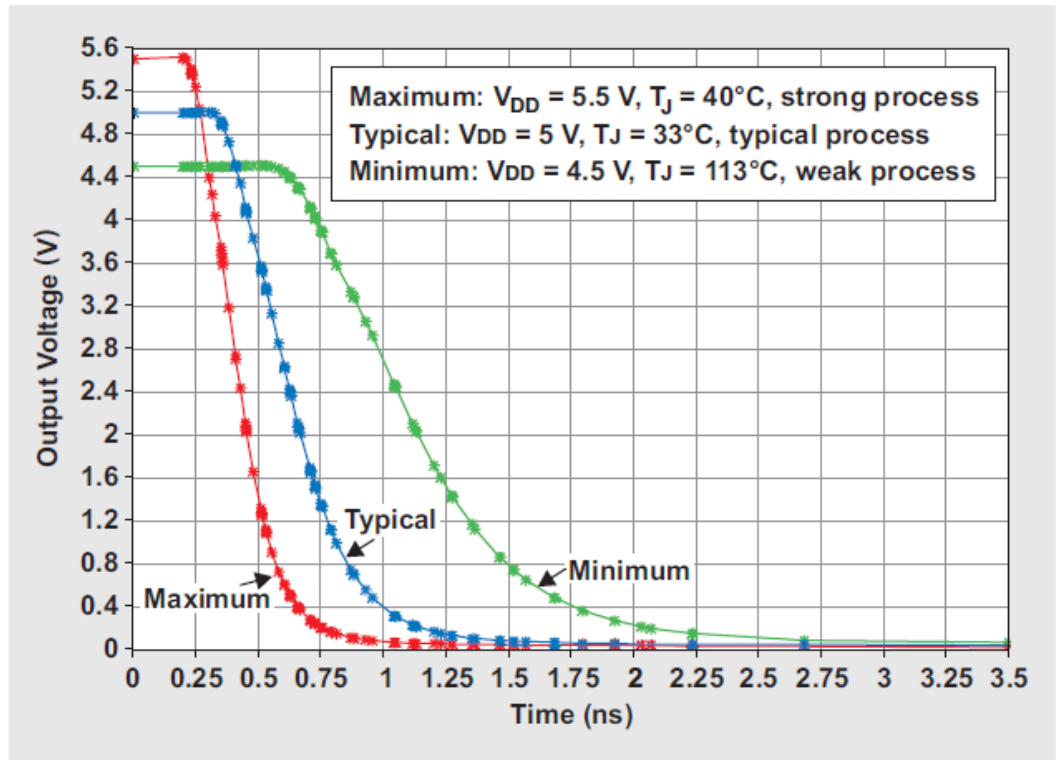


图 5 显示了 SPICE 平台输出缓冲器正确性检测电路的一个实例。在 SPICE 缓冲器输出端，该电路包括电阻、电感和电容封装寄生（分别为 R_{pkg} 、 L_{pkg} 和 C_{pkg} ）。这些寄生效应之后，是 PCB 传输线路模型 T1。SPICE 仿真收集传输线路远端的数据，即 $V_{(\text{SPICE})}$ 。

图 5 输出缓冲器 SPICE 测试示例电路

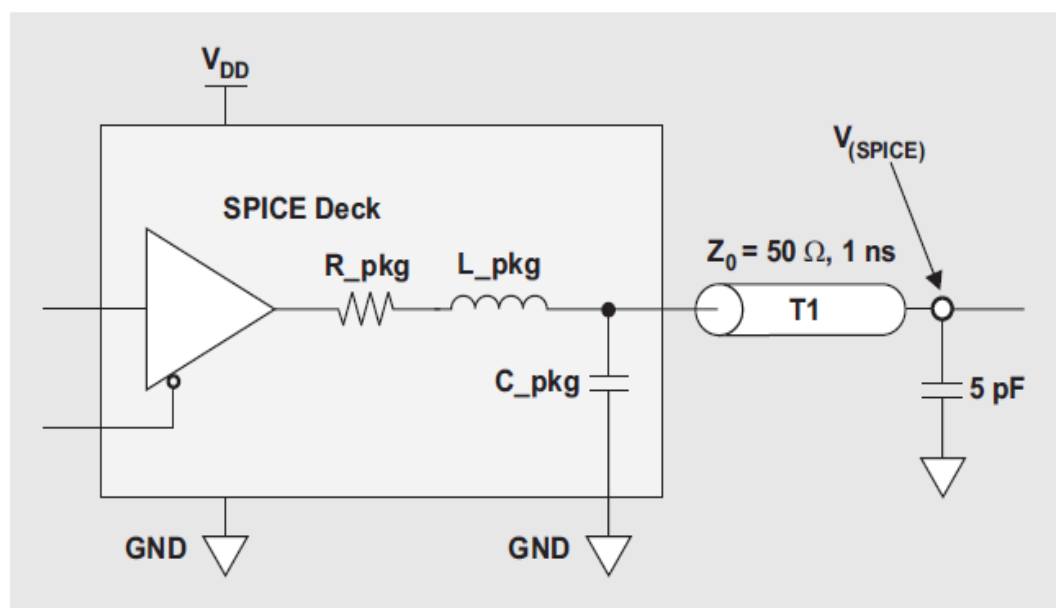


图 6 显示了输出缓冲器 IBIS 电路的一个实例。请注意，封装寄生并未出现在电路中，因为它们被嵌入到 IBIS 模型中。这种 IBIS 模拟电路具有与 SPICE 环境模拟电路相同的 PCB 传输线路模型 (T1)。

图 6 输出缓冲器 IBIS 模型测试示例电路

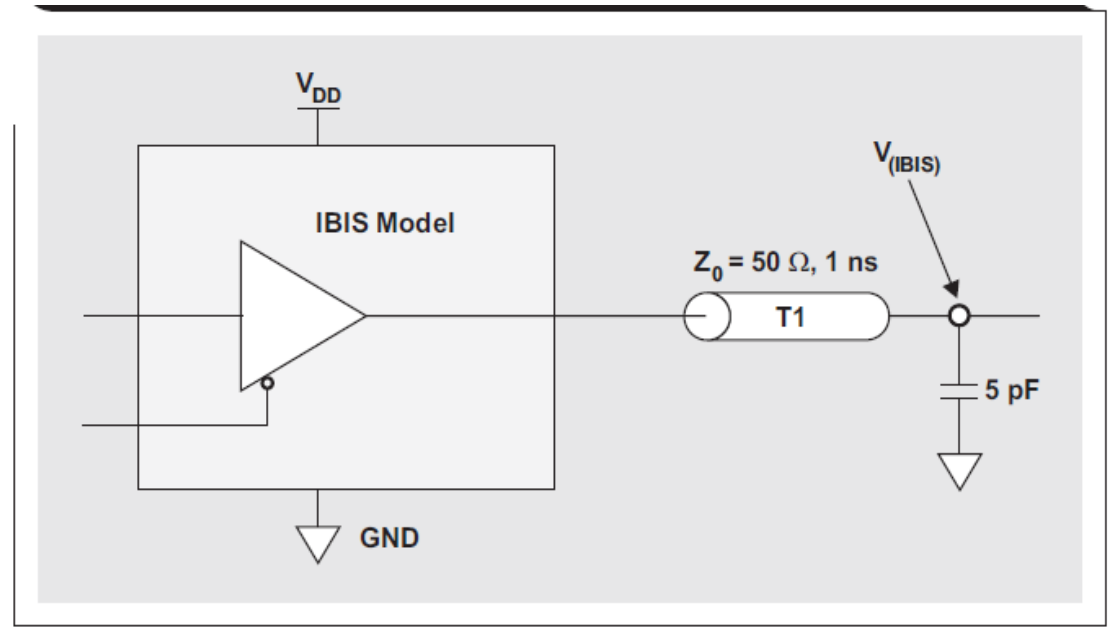


图 7 显示了 SPICE 和 IBIS 模型之间的模拟升时间对比，其基于 TI 的 ADS8319。我们对图 5 所示 $V_{(SPICE)}$ 节点和图 6 所示 $V_{(IBIS)}$ 节点的输出进行了比较。仿真模型状态基于一个额定值 1.8-V 电源、27°C 结温以及典型的工艺角。

图 7 SPICE 和 IBIS 模型输出升时间比较

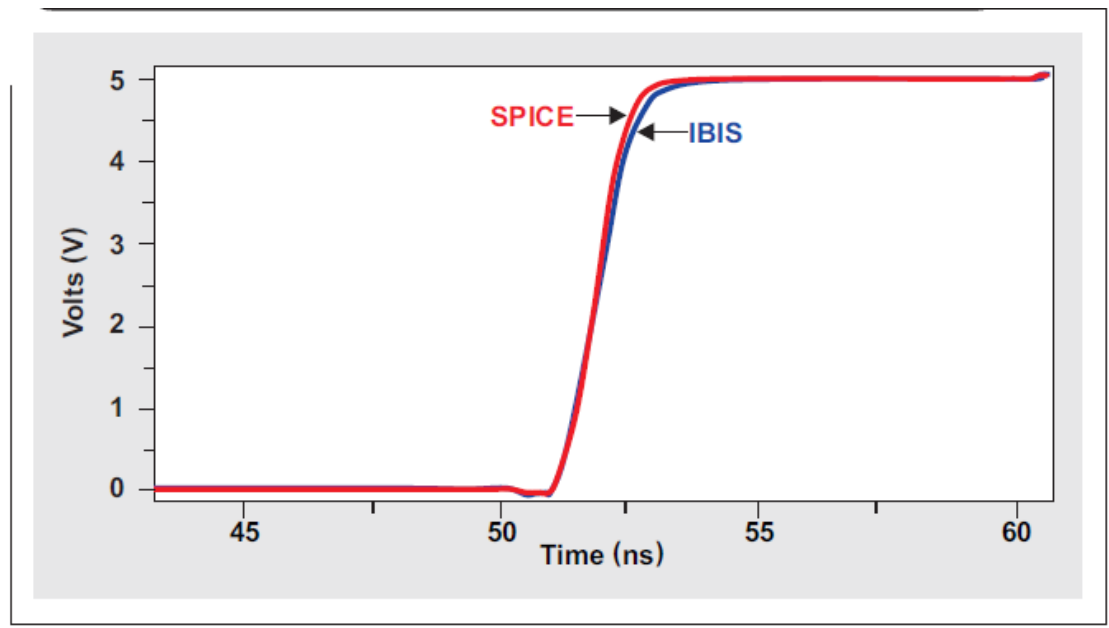
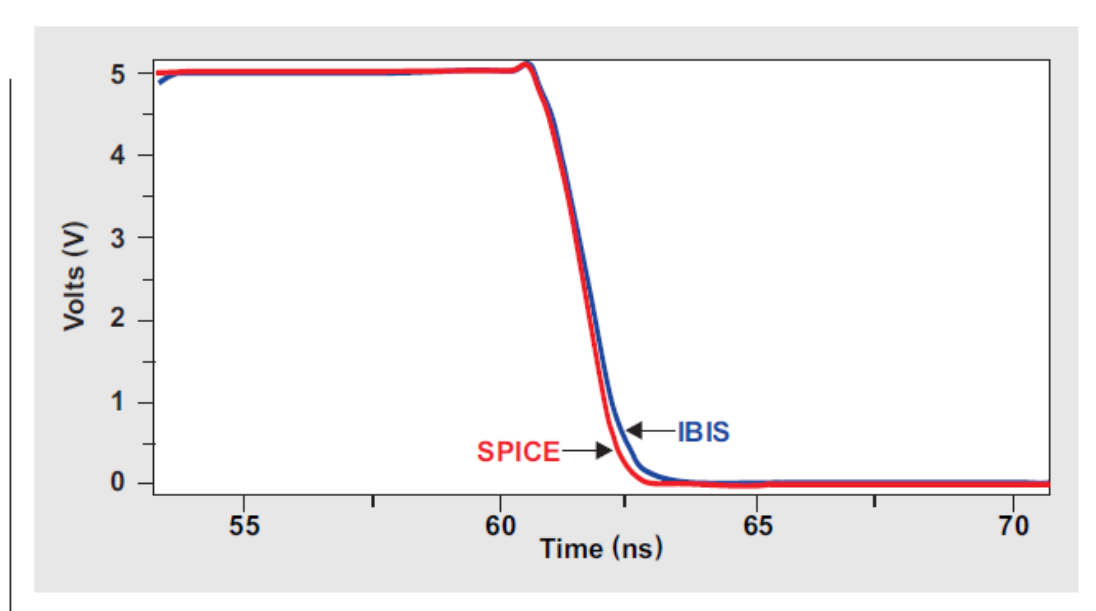


图 8 显示了 SPICE 和 IBIS 模型之间的类似下降时间比较，其同样也基于 ADS8319。仿真模型状态基于一个 5-V 电源、25°C 结温以及典型的工艺角。

图 8 SPICE 和 IBIS 模型输出下降时间比较



比较图 7 和图 8 所示类似曲线时，我们常常计算出参数指数 (FOM)。FOM 计算过程如下：

$$FOM = 100 \times \left[1 - \frac{\sum_{i=1}^N |X_i(\text{golden}) - X_i(\text{DUT})|}{\Delta X \times N} \right]$$

其中 X_i (黄金) 为 SPICE 环境曲线的时间采样， $X_i(\text{DUT})$ 为 IBIS 模型曲线的匹配时间采样， ΔX 为数据点范围，而 N 为采样数。FOM 公式通过计算两个数据点之间 X 轴差绝对值的和，对两种波形进行比较。该和值除以数据点范围，同时除以数据点数。初步数值表示工作必须通过插值法，将每个数据点集都映射到常见的 x - y 网格。图 7 和图 8 所示组合曲线的 FOM 为 0.68%。

结论

过去，IBIS 模型是出了名的质量差。利用 IBIS 开放式论坛的 QC 过程可以对这种低质量进行校正。在这一过程的阶段 0，IBIS 语法分析器软件会找出语法错误和 IBIS 模型格式错误。阶段 1，通过目视检查文本和图形实现 IBIS QC。在阶段 2，IBIS 模型映射回产品产品说明书。最后，建模工程师生成 SPICE 环境使用的 IBIS 模型时，很重要的一点是需要通过验证 IBIS 模型确实匹配 PCB 环境的 SPICE 卡片组来完成这种环路。利用阶段 0、1 和 2 来验证 IBIS 模型，可以保证可靠的信号完整性仿真。

重要声明

德州仪器 (TI) 及其下属子公司有权在不事先通知的情况下, 随时对所提供的产品和服务进行更正、修改、增强、改进或其它更改, 并有权随时中止提供任何产品和服务。客户在下订单前应获取最新的相关信息, 并验证这些信息是否完整且是最新的。所有产品的销售都遵循在订单确认时所提供的 TI 销售条款与条件。

TI 保证其所销售的硬件产品的性能符合 TI 标准保修的适用规范。仅在 TI 保修的范围内, 且 TI 认为有必要时才会使用测试或其它质量控制技术。除非政府做出了硬性规定, 否则没有必要对每种产品的所有参数进行测试。

TI 对应用帮助或客户产品设计不承担任何义务。客户应对其使用 TI 组件的产品和应用自行负责。为尽量减小与客户产品和应用相关的风险, 客户应提供充分的设计与操作安全措施。

TI 不对任何 TI 专利权、版权、屏蔽作品权或其它与使用了 TI 产品或服务的组合设备、机器、流程相关的 TI 知识产权中授予的直接或隐含权限作出任何保证或解释。TI 所发布的与第三方产品或服务有关的信息, 不能构成从 TI 获得使用这些产品或服务的许可、授权、或认可。使用此类信息可能需要获得第三方的专利权或其它知识产权方面的许可, 或是 TI 的专利权或其它知识产权方面的许可。

对于 TI 的数据手册或数据表, 仅在没有对内容进行任何篡改且带有相关授权、条件、限制和声明的情况下才允许进行复制。在复制信息的过程中对内容的篡改属于非法的、欺诈性商业行为。TI 对此类篡改过的文件不承担任何责任。

在转售 TI 产品或服务时, 如果存在对产品或服务参数的虚假陈述, 则会失去相关 TI 产品或服务的明示或暗示授权, 且这是非法的、欺诈性商业行为。TI 对此类虚假陈述不承担任何责任。

可访问以下 URL 地址以获取有关其它 TI 产品和应用解决方案的信息:

产品

放大器	http://www.ti.com.cn/amplifiers
数据转换器	http://www.ti.com.cn/dataconverters
DSP	http://www.ti.com.cn/dsp
接口	http://www.ti.com.cn/interface
逻辑	http://www.ti.com.cn/logic
电源管理	http://www.ti.com.cn/power
微控制器	http://www.ti.com.cn/microcontrollers

应用

音频	http://www.ti.com.cn/audio
汽车	http://www.ti.com.cn/automotive
宽带	http://www.ti.com.cn/broadband
数字控制	http://www.ti.com.cn/control
光纤网络	http://www.ti.com.cn/opticalnetwork
安全	http://www.ti.com.cn/security
电话	http://www.ti.com.cn/telecom
视频与成像	http://www.ti.com.cn/video
无线	http://www.ti.com.cn/wireless

邮寄地址: Texas Instruments, Post Office Box 655303, Dallas, Texas 75265
Copyright © 2006, Texas Instruments Incorporated